

PCT-7303B

**3x IRC čítač, DIO
IRQ, PCI BUS**

Prázdná strana

Výroba, servis, technická podpora:

adresa: TEDIA® spol. s r. o.
Zábělská 12
31211 Plzeň
Česká republika

telefon: +420 373730421 (základní číslo)
+420 373730426 (technická podpora)

fax: +420 373730420

e-mail: podpora@tedia.cz

internet: <http://www.tedia.cz>



Uživatelská příručka a její součásti jsou autorským dílem chráněným ustanovením zákona č.121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů ("Autorský zákon").

Všechna jména a názvy použité v textu mohou být chráněnými známkami nebo obchodními názvy výrobků příslušných firem.

ES prohlášení o shodě

vydané na základě Směrnice Evropského parlamentu a Rady 2004/108/ES

Prohlašujeme na svoji výlučnou odpovědnost, že technologické karty

PCT-7303B

jsou ve shodě s normami

ČSN EN 55022:99 včetně změn
ČSN EN 61000-3-2:97 včetně změn
ČSN EN 61000-3-3:97 včetně změn
ČSN EN 55024:99 včetně změn

a nařízeními vlády

NV 616/2006 Sb. ve znění pozdějších předpisů

a nesou proto označení "CE".

Zkušební protokol:

203681-01 vydaný EZÚ Praha



Datum vydání ES prohlášení:

6.3.2007

Výrobce:

TEDIA® spol. s r. o.
Zábělská 12, 31211 Plzeň
IČ: 00871362
výrobce je zapsán v obchodním rejstříku vedeném
Krajským soudem v Plzni, oddíl C, vložka 5032

Odpovědný zástupce:

Ing. Martin Linda, jednatel společnosti

Podpis odpovědného zástupce:

A handwritten signature in black ink, appearing to read 'Martin Linda', written in a cursive style.

Obsah

1.	Úvodní popis	
1.1.	Charakteristika	I - 1
1.2.	Podmínky použití	I - 1
1.3.	Odlišnosti PCA-7303B proti PCT-7303A	I - 1
2.	Technické parametry	
2.1.	Programovatelné čítače	I - 2
2.2.	Vstupní obvody	I - 2
2.3.	Digitální porty, "real-time" výstupy	I - 2
2.4.	Obvody přerušení	I - 2
2.5.	Ostatní údaje	I - 2
3.	Instalace karty	
3.1.	Úvod	I - 3
3.2.	Nastavení konfiguračních prvků	I - 3
3.3.	Vlastní instalace	I - 3
3.4.	Zapojení konektorů	I - 3
3.5.	Rozmístění významných prvků	I - 3
4.	PCI sběrnice, základní informace	
4.1.	Základní pojmy	I - 4
4.2.	Řadič OXmPCI952	I - 4
4.3.	Implementace PCI BUS u PCT-7303B	I - 5
4.4.	Porovnání MEM a I/O přístupu	I - 5
5.	Struktura adresového prostoru	
5.1.	Úvod	I - 6
5.2.	DINReg	I - 6
5.3.	DOUTrReg	I - 6
5.4.	IRQCfgReg	I - 7
5.5.	IRQStatusReg	I - 7
5.6.	IRQClrReg	I - 7
5.7.	TimerReg	I - 8
5.8.	INTEnReg	I - 8
5.9.	XSTREnReg	I - 8
5.10.	XSTRStatusReg	I - 9
5.11.	XSTRClrReg	I - 9
5.12.	CNT0SetReg	I - 9
5.13.	CNT0StrReg	I - 9
5.14.	CNT0XStrReg	I - 10
5.15.	CNT0RngReg	I - 10
5.16.	CNT0CMP1	I - 10
5.17.	CNT0CMP2	I - 11
5.18.	CNT0CWReg	I - 11
5.19.	CNT0StatReg	I - 11

5.20.	CNTEnReg	I - 12
5.21.	CNTCtrlReg	I - 12
5.22.	CMPEnReg	I - 13
5.23.	CMPStatReg	I - 13
5.24.	CMPClrReg	I - 14
5.25.	CMPIRQReg	I - 14
5.26.	RTDOReg	I - 15
5.27.	RTDOCfgReg	I - 15
5.28.	FPGATypeReg	I - 16
5.29.	FPGAVerReg	I - 16
6.	Popis čítačů	
6.1.	Úvod	I - 17
6.2.	Zapojení vstupů	I - 17
6.3.	Programovatelná vstupní logika	I - 17
6.4.	Čítače	I - 17
6.5.	Komparátory	I - 18
6.6.	"Real-time" výstupy	I - 18
6.7.	Generátor časových značek	I - 18
6.8.	Obvody přerušeni	I - 18
7.	Popis řadiče přerušeni	
7.1.	Úvod	I - 19
7.2.	Zdroje přerušeni	I - 19
7.3.	Programová obsluha přerušeni	I - 19
8.	Popis digitálních vstupů a výstupů	
8.1.	Úvod	I - 21
8.2.	Zapojení vstupů	I - 21
8.3.	Zapojení výstupů	I - 21
9.	Konfigurace FPGA a další funkce karty	
9.1.	Úvod	I - 22
9.2.	Konfigurace FPGA	I - 22
9.3.	Identifikace stavu karty	I - 22

Přílohy:

Příloha II - tabulky

Příloha III - obrázky

Příloha IV - OXmPCI952

1. Úvodní popis

1.1. Charakteristika

PC karta PCT-7303B je výrobek moderní koncepce určený zejména pro systémy laboratorní a průmyslové automatizace a jako doplněk multifunkčních PC karet.

K přednostem patří jednoduchá programová konfigurovatelnost parametrů. Při instalaci karty do počítače není nutné hardwarově nastavovat žádné parametry, všechny funkce karty jsou ovládány plně softwarově.

Karta PCT-7303B je určena pro počítače PC kompatibilní a musí být instalována do PCI slotu s podporou 5 V a 33 MHz, resp. do slotu 3,3 V sběrnic PCI a PCI-X.

Celkový pohled na desku PCT-7303B je zakreslen na obrázku Obr.1.

Karta PCT-7303B se vyznačuje zejména těmito vlastnostmi:

- tři obousměrné 24bitové čítače s možností zkrácení cyklu
- vstupní logika pro zpracování kvadraturních signálů inkrementálních čidel
- dva programovatelné komparátory pro každý čítač
- "real-time" digitální výstupy odvozené od stavu komparátorů
- programovatelná logika přerušení (zdroje odvozené od stavu komparátorů)
- standardní digitální porty (8 vstupů a 8 výstupů)
- PCI target interface kompatibilní s PCI rev. 3.0 (32 bitů, 3.3/5 V, 33 MHz)

1.2. Podmínky použití

Karty PCT-7303B vyhovují instalaci do počítačů v kancelářském nebo průmyslovém provedení se sběrnicí PCI (verze 5V nebo 3,3V), resp. se sběrnicí PCI-X; ve všech případech pracují v režimu PCI, 32bitů, 33 MHz.

Signály mohou být připojeny vhodným stíněným vodičem o délce maximálně 2 m.

Karty řady PCT-7303B mohou být použity výhradně v souladu s doporučeními výrobce uvedenými v této příručce, obecně platnými normami či standardy a pouze takovým způsobem, aby jejich selháním zaviněným jakýmkoliv způsobem se nemohly stát nebezpečnými osobám nebo majetku.

1.3. Odlišnosti PCA-7303B proti PCT-7303A

Karty PCT-7303B se od předešlé verze s označením PCT-7303A odlišují:

- novým PCI řadičem s doplněnou podporou 3,3 V PCI sběrnice,
- on-board mikropočítačem pro konfiguraci hradlového pole (FPGA),
- modernějším FPGA umožňujícím doplnění řady speciálních funkcí.

Zmíněné odlišnosti vyžadují modifikovaný driver a změny v mapování registrů (stejnomené registry však mají 100% shodnou funkci), odpadá však potřeba konfigurace FPGA z diskového souboru ovladačem nebo aplikačním programem.

Z hlediska charakteristických vlastností karty, typu a zapojení konektorů jsou obě karty 100% záměnné.

2. Technické parametry

2.1. Programovatelné čítače

počet čítačů	3
rozlišení čítače:	24 bitů (možnost nastavit v rozsahu 2~16.777.216)
blokování čítače	softwarově
pracovní režimy čítače:	IRC s kvadraturním signálem X1, X2, X4 "up/down", "count/dir", "count/gate"
vstupní frekvence:	5MHz max. (viz pozn.)

 Uvedena fázová frekvence v IRC režimu se signálovou nesymetrií max. 40%/60%.


2.2. Vstupní obvody

napěťové úrovně:	RS-422/TTL
vstupní impedance:	12 kOhm typ.

 Vstupní obvody jsou zakresleny na obrázcích Obr.3. a Obr.4.

2.3. Digitální porty, "real-time" výstupy

počet vstupů:	8	(TTL komp.)
počet výstupů:	8 + 8	(TTL komp.)
zatěžovací impedance výstupů:	500 Ohm min.	(viz pozn.)


 Vstupní porty jsou odolné proti přepětí ± 24 V.
Výstupní digitální porty jsou odolné proti trvalému zkratu proti GND; přivedením napětí mimo rozsah 0÷5 V dojde k nevratnému poškození obvodů.

2.4. Obvody přerušení

zdroje přerušení:	výstupy komparátorů stavu čítačů generátor časových značek (1~255 ms) zachycení stavu čítačů externím signálem
-------------------	--

2.5. Ostatní údaje

I/O a MEM adresa:	přiřazena PCI PnP BIOSem
IRQ kanál:	přiřazen PCI PnP BIOSem
napájecí napětí:	+5 V (400 mA max.)
rozměry desky:	cca 90 x 145 mm
použité konektory:	Cannon 25 - vidlice Cannon 9 - vidlice DIL10 (header 2x5 pinů, rastr 2.54mm)
doporučená délka vodičů:	do 2 m

 Uvedený proudový odběr je uvažován se všemi výstupy v nezátíženém stavu.

3. Instalace karty

3.1. Úvod

Při výrobě bylo dbáno na dosažení vysoké kvality a spolehlivosti, rovněž byla věnována pozornost důkladné kontrole před expedicí. Aby nedošlo ke snížení jakosti či poškození při instalaci, doporučujeme Vám pečlivě prostudovat tuto příručku a postupovat podle uvedeného návodu.

Nebudete-li si jisti některým z kroků instalace, obraťte se na technickou podporu výrobce (informaci o aktuálním spojení naleznete na <http://www.tedia.cz>).

3.2. Nastavení konfiguračních prvků

Karta PCT-7303B obsahuje konfigurační propojku JP1 pro alternativní volbu signálu RT-DOUT7 nebo EXT-IN pro zachycení stavu čítačů sestupnou hranou externího TTL signálu; podrobně viz tabulka Tab.2. a obrázek Obr.1.

3.3. Vlastní instalace



Důležité upozornění:

Při instalaci karty dbejte zásad pro manipulaci s obvody citlivými na poškození elektrostatickým nábojem, s kartou manipulujte pouze za okraje a nedotýkejte se prsty součástek.

Instalaci provádějte zásadně při vypnutém počítači a vždy odpojte síťový kabel i ostatní přívodní vodiče !

Mimo počítač mohou být karty skladovány výhradně v antistatickém obalu.

Při nedodržení uvedených pravidel může dojít k poškození citlivých obvodů PC karty nebo celého počítače. V případě nejasností kontaktujte technickou podporu výrobce.

Nakonfigurovanou kartu zasuňte po předchozím vyjmutí krycího štítku do volné pozice pro rozšiřující desky počítače a zajistěte šroubem.

Budou-li využity i digitální porty, upevněte redukční kabel PCE-209 do sousední pozice a zapojte kabely; orientace konektorů je vyznačena na obrázku Obr.1., první vodič plochého kabelu je zvýrazněn červenou barvou.



Redukční kabel PCE-209 není součástí dodávky karty a lze jej objednat samostatně.

3.4. Zapojení konektorů

Zapojení vývodů konektorů je zakresleno na obrázku Obr.2.; popis signálů je uveden v tabulkách Tab.1. až Tab.3.

V případě využití redukčního kabelu PCE-209 pro zpřístupnění digitálních portů na zadním panelu počítače je zapojení konektorů Cannon 9 popsáno v Tab.4.

3.5. Rozmístění významných prvků

Rozmístění konektorů na kartě PCT-7303B je zakresleno na obrázku Obr.1.

4. PCI sběrnice, základní informace

4.1. Základní pojmy

PCI-SIG	PCI Special Interest Group, organizace zajišťující specifikaci PCI sběrnice. TEDIA je členem PCI-SIG.
PCI konfigurační registry	slouží pro PnP identifikaci karty, zjištění vlastností (zejména z pohledu PCI sběrnice), požadavků na systémové prostředky a jejich přidělení. PCI konfigurační registry obsahují rovněž řadu informací významných pro ovladače a aplikační software, zejména VID/DID, BAR registry, ... PCI registry nejsou určeny pro vlastní funkční přístupy (tzn. datové přenosy) a jsou zpřístupněny speciálními sběrnicovými cykly výhradně rozhraním PCI BIOSu.
VID	Vendor ID, unikátní číslo výrobce karty, resp. PCI řadiče, přidělené organizací PCI-SIG jejím členům.
DID	Device ID, unikátní číslo typu karty, resp. PCI řadiče, přidělené výrobcem karty/řadiče. Číslo může být přiděleno výhradně držitelem příslušného VID.
Subsystem VID/ID	čísla umožňující identifikovat výrobce karty při zachování VID/ID výrobce PCI řadiče. Je využíváno zejména u implementací standardních řadičů (grafických akcelerátorů, Ethernet řadičů, ...) a umožňuje využití společných driverů.
Class Code	umožňuje zařadit PCI kartu do některé předdefinované třídy adaptérů a v některých případech využít společné softwarové podpory.
PCI Function	PCI karta může obsahovat 1~8 funkčně nezávislých částí, které v systému vystupují vlastní sadou PCI parametrů; např. dvoufunkční karta se pak v systému chová analogicky jako dvě jednofunkční karty.
BAR0 až BAR5	Base Address Register, tzn. básový registr paměťového nebo I/O prostoru; každá PCI Function může alokovat až 6 prostorů.

4.2. Řadič OXmPCI952

Použitý řadič se vyznačuje následujícími vlastnostmi:

- dvoufunkční (tzn. obsahuje dvě sady PCI konfiguračních registrů) PCI target interface (tzn. není podporován busmastering) kompatibilní s PCI specifikací verze 3.0 (karta verze 32 bitů, 3.3/5 V, 33 MHz)
- osmibitová pass-through lokální sběrnice s podporou přerušení
- dva UARTy typu 16C950 (jsou využity pro servisní funkce karty)
- konfigurace chipsetu prostřednictvím EEPROM

4.3. Implementace PCI BUS u PCT-7303B

Funkci řadiče PCI sběrnice plní obvod OXmPCI952 s I/O a MEM prostory konfigurovanými v maximálním možném rozsahu.

Karta využívá následujících PCI ID:

VID (F0/F1)	1760 _H	tzn. VID přidělené TEDIA®
DID (F0)	0200 _H	tzn. DID přidělené PCI Function 0 karty PCT-7303B
DID (F1)	0201 _H	tzn. DID přidělené PCI Function 1 karty PCT-7303B
Sub VID (F0/F1)	1760 _H	totéž jako VID
Sub ID (F0/F1)	0001 _H	verze karty (aktuální při vydání manuálu)
Class Code (F0)	070006 _H	třída "communication controller 16C950"
Class Code (F1)	118000 _H	třída "other data acquisition controller"


Využití BAR prostorů (function 0):

BAR0, BAR1 a BAR5 jsou využity pro servisní funkce karty (např. interface pro upgrade firmware, viz popis v 9. kapitole), ostatní jsou rezervovány a nesmějí být čteny ani zapisovány.

Využití BAR prostorů (function 1):

BAR0	mapován jako I/O a slouží pro přístup k registrům karty; je konfigurován na velikost 256B s datovou strukturou byte
BAR1	mapován jako MEM a slouží pro přístup k registrům karty; je konfigurován na velikost 1kB s datovou strukturou double word; do registrů může být zapisováno alternativně 8/16/32 bitové číslo, významný je vždy nejnižší byte

Ostatní BARy jsou rezervovány a nesmějí být čteny ani zapisovány.

 *Podrobnější informace k mapování registrů v jednotlivých prostorech jsou uvedeny v příloze tohoto manuálu.*

4.4. Porovnání MEM a I/O přístupu

PCI specifikace definuje dva typy registrových prostorů - I/O a paměťový (MEM). Řada adaptérů umožňuje alternativní užití obou typů a periferní obvody mapuje současně do obou prostorů (prostřednictvím dvou BAR).

MEM	prostor existuje na všech hardwarových platformách (tzn. nejen na systémech s procesory Intel x86) a je mj. i proto preferován; jelikož 32bitové adresování umožňuje mapovat až 4GB paměti, není velikost alokovaného prostoru z praktického hlediska nijak významně omezoována; přístup k perifériím mapovaných přes paměťový prostor je oproti I/O přístupu rychlejší, nebo alespoň není pomalejší; MEM přístup však vyžaduje 32bitové adresování
I/O	prostor je s ohledem na zpětnou kompatibilitu s 10bitově adresovanými systémy omezen na 63 intervalů o velikosti 256B; žádný adaptér tedy nemůže alokovat kontinuální prostor o velikosti větší než 256B; výhodou však je jednoduchá podpora v reálném módu procesorů Intel x86 (tzn. například v systému MS-DOS)

5. Struktura adresového prostoru

5.1. Úvod

Následující popis bude uvažovat přístup prostřednictvím prostoru Function1/BAR1; v případě využití I/O přístupů (tzn. Function1/BAR0) jsou adresy registrů modifikovány podle následujícího algoritmu:

```

F1/BAR0 +00 ~ F1/BAR1 +000
F1/BAR0 +01 ~ F1/BAR1 +004
F1/BAR0 +02 ~ F1/BAR1 +008
...
F1/BAR0 +FF ~ F1/BAR1 +3FC

```

Všechny adresy v dalším textu jsou uvedeny v hex formátu.

Pro plné porozumění doporučujeme prostudovat komentovanou obvodovou strukturu karty na obrázcích Obr.9. až Obr.11.



Důležité upozornění:

Čtení nebo zápis do nedokumentovaných registrů není přípustný.



Důležité upozornění:

Všechny 24bitové registry musejí být čteny nebo zapisovány v pořadí od nejnižší po nejvyšší adresu.



Všechny registry jsou po zapnutí nebo resetu karty nastaveny na nulovou hodnotu; výjimku tvoří pouze CNT0RngReg, CNT1RngReg a CNT2RngReg, které jsou nastaveny na hodnotu 16777315.

5.2. DINReg (RD, F1/BAR1+000)

Tento registr plní funkci datového registru vstupního digitálního portu.

Význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru.

D7	D6	D5	D4	D3	D2	D1	D0
DIN7	DIN6	DIN5	DIN4	DIN3	DIN2	DIN1	DIN0

5.3. DOUTReg (WR, F1/BAR1+004)

Tento registr plní funkci datového registru výstupního digitálního portu.

Význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru.

D7	D6	D5	D4	D3	D2	D1	D0
DOUT7	DOUT6	DOUT5	DOUT4	DOUT3	DOUT2	DOUT1	DOUT0


5.4. IRQCfgReg (WR, F1/BAR1+180)

Tento registr slouží k povolení požadavku o přerušení generátoru od časových značek a globálnímu povolení požadavku o přerušení od komparátorů, ne však pro aktivaci obvodů přerušení PCI sběrnice; podrobně viz obrázky Obr.11. a popis registru INTEnReg.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	XSTR	CMP	TIM	RSRV			

- TIM
- konfigurace přerušení od generátoru časových značek (0 = přerušení zakázáno, 1 = přerušení povoleno)
- CMP
- konfigurace přerušení od komparátorů (0 = přerušení zakázáno, 1 = přerušení povoleno)
- XSTR
- konfigurace přerušení od příznaku zachycení stavu čítačů (0 = přerušení zakázáno, 1 = přerušení povoleno)


 *Pro povolení přerušení od jednotlivých komparátorů čítačů jsou určeny registry CMPEnReg a CMPIRQReg. Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena hodnota 0.*

5.5. IRQStatusReg (RD, F1/BAR1+180)

Tento registr slouží k identifikaci zdroje přerušení.

Struktura registru je totožná s IRQCfgReg a význam jednotlivých bitů je následující:

- TIM
- přerušení vyvoláno generátorem časových značek (1 = příznak je aktivní, tzn. bylo vyvoláno přerušení)
- CMP
- přerušení vyvoláno některým z komparátorů čítačů (1 = příznak je aktivní, tzn. bylo vyvoláno přerušení)
- XSTR
- přerušení vyvoláno zachycením stavu čítačů ext. signálem (1 = příznak je aktivní, tzn. bylo vyvoláno přerušení)

 *Pro identifikaci komparátoru, který vyvolal přerušení, je určen CMPStatReg. Rezervní bity nemají pro funkci desky žádný význam (nastavena hodnota 0). Příznaky jsou funkční nezávisle na aktivaci logiky přerušení registrem INTEnReg.*


5.6. IRQClrReg (WR, F1/BAR1+184)

Tento registr slouží k nulování příznaků nastavených přerušení v IRQStatusReg.

Registr má funkci automatického nulování a zápis hodnoty 1 tak nevyžaduje následný zápis hodnoty 0 (registr setrvá nastaven na hodnotu 1 po dobu 60ns a po tuto dobu není zpracováván příslušný kanál přerušení).

Struktura registru je totožná s IRQCfgReg a význam jednotlivých bitů je následující:

- TIM • nulování příznaku od generátoru časových značek
(1 = příznak vynulován, následný zápis 0 není vyžadován)
- CMP • nulování globálního příznaku přerušení od komparátorů
(1 = příznak vynulován, následný zápis 0 není vyžadován)
- XSTR • nulování příznaku přerušení od příznaku zachycení stavu čítačů
(1 = příznak vynulován, následný zápis 0 není vyžadován)

 *Pro individuální nulování příznaků komparátorů je určen registr CMPClrReg. Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena hodnota 0.*

5.7. TimerReg (WR/RD, F1/BAR1+3F0)

Tento registr slouží k nastavení frekvence (resp. periody) interního generátoru časových značek.

Zapsaná osmibitová data umožňují konfigurovat periodu časových značek v rozsahu 1~255 ms; zápisem hodnoty 0 dojde k zastavení generátoru.

Ve funkci čtení poskytuje registr aktuální hodnotu časovače; data v rozsahu 0~TimerReg jsou inkrementována frekvencí 1kHz.


5.8. INTEnReg (WR, F1/BAR1+18C)

Tento registr slouží k aktivaci obvodů karty pro vyvolání přerušení PCI sběrnice, tzn. k povolení požadavku o přerušení systému, a současně nulování tohoto požadavku (je provedeno zakázáním a opětovným povolením přerušení); podrobně viz obrázek Obr.11.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
INTEN	RSRV						

- INTEN • 0 = obvody karty přerušení PCI sběrnice neaktivní
 1 = obvody karty přerušení PCI sběrnice aktivovány

 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena hodnota 0.*


5.9. XSTREnReg (WR, F1/BAR1+190)

Tento registr slouží k aktivaci obvodů pro zachycení stavu čítačů do vyrovnávacích registrů CNTxXStrReg karty.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	XSTR	RSRV					

- XSTR
- 0 = obvodů pro zachycení stavu čítačů neaktivní
 - 1 = obvodů pro zachycení stavu čítačů aktivovány


 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena hodnota 0.*

5.10. XSTRStatusReg (RD, F1/BAR1+190)

Tento registr slouží k detekci zachycení stavu čítačů do registrů CNTxXStrReg karty (viz popis XSTREnReg).

Struktura registru je totožná s XSTREnReg a význam jednotlivých bitů je následující:

- XSTR
- signalizace zachycení stavu čítačů ext. signálem (1 = příznak je aktivní, tzn. bylo vyvoláno přerušení)

 *Rezervní bity nemají pro funkci desky žádný význam (nastavena hodnota 0). Příznaky jsou funkční nezávisle na aktivaci logiky přerušení registrem INTEnReg.*


5.11. XSTRClrReg (WR, F1/BAR1+194)

Tento registr slouží k nulování příznaků v XSTRStatusReg.

Registr má funkci automatického nulování a zápis hodnoty 1 tak nevyžaduje následný zápis hodnoty 0 (registr setrvá nastaven na hodnotu 1 po dobu 60ns a po tuto dobu není zpracováván příslušný kanál přerušení).

Struktura registru je totožná s XSTRCfgReg a význam jednotlivých bitů je následující:

- XSTR
- nulování příznaku zachycení stavu čítačů (1 = příznak vynulován, následný zápis 0 není vyžadován)

 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena hodnota 0.*

5.12. CNT0SetReg (WR, F1/BAR1+200/204/208)

Tento registr plní funkci 24bitového vyrovnávacího datového registru pro zápis dat do čítače. Registr na adrese +200 obsahuje osm nejnižších bitů, registr na adrese +208 pak osm nejvyšších bitů dat; pořadí programování viz kapitola 5.1.


Data jsou do čítače CNT0 přenesena příkazem CntCtrlReg.

 *Pro čítače CNT1 a CNT2 jsou implementovány analogické registry na adresách F1/BAR1+280h/284h/288h, F1/BAR1+300/304/308h, viz Tab.6.*

5.13. CNT0StrReg (RD, F1/BAR1+200/204/208)

Tento registr plní funkci 24bitového vyrovnávacího datového registru pro čtení dat z čítače. Registr na adrese F1/BAR1+200 obsahuje osm nejnižších bitů, registr na adrese F1/BAR1+208 osm nejvyšších bitů dat; pořadí programování viz 6. kapitola.

Data čítače jsou do CNT0StrReg přenesena příkazem CntCtrlReg.

-  *Pro čítače CNT1 a CNT2 jsou implementovány analogické registry na adresách F1/BAR1+280/284/288, F1/BAR1+300/304/308, viz Tab.6.*

5.14. CNT0XStrReg (RD, F1/BAR1+210/214/218)

Tento registr je analogický registru CNT0StrReg, avšak k zachycení dat dojde sestupnou hranou externího signálu EXT-IN, resp. nastavením příznaku XSTR v registru XSTRStatusReg sestupnou hranou externího signálu EXT-IN (po zachycení stavu čítačů a přečtení obsahu registů CNTxXStrReg je nezbytné vynulovat příznak XSTR pomocí registru XSTRClrReg). Podrobně viz obrázky Obr.9. až Obr.11.

-  *Pro čítače CNT1 a CNT2 jsou implementovány analogické registry na adresách F1/BAR1+290/294/298, F1/BAR1+310/314/318, viz Tab.6.*


5.15. CNT0RngReg (WR, F1/BAR1+210/214/218)

Tento 24bitový registr je určen pro nastavení rozsahu čítače.

Obsah registru je zapnutí nebo resetu nastaven na 16.777.315 a čítač nabývá hodnot v rozsahu 0~16.777.315. Modifikací obsahu tohoto registru (platná data 1~16.777.315) lze odpovídajícím způsobem omezit i pracovní rozsah čítače.

Je-li v okamžik nastavení registru CNT0RngReg hodnota čítače mimo rozsah 0~CNT0RngReg, pracuje čítač v celém 24bitovém rozsahu až do okamžiku, kdy hodnota čítače vstoupí do zvoleného rozsahu.

Registr na adrese F1/BAR1+210 obsahuje osm nejnižších bitů, registr na adrese F1/BAR1+218 pak osm nejvyšších bitů dat; pořadí programování viz kapitola 5.1.

-  *Pro čítače CNT1 a CNT2 jsou implementovány analogické registry na adresách F1/BAR1+290/294/298, F1/BAR1+310/314/318h, viz Tab.6.*

5.16. CNT0CMP1 (WR, F1/BAR1+220/224/228)

Tento 24bitový registr definuje práh prvního komparátoru čítače CNT0. Při dosažení ekvivalence obsahu čítače s tímto registrem může být nastaven odpovídající příznak v registru CMPStatReg (viz CMPEnReg) a případně i vyvoláno přerušení (viz CMPIRQReg) či nastaven "real-time" digitální výstup (viz RTDOCfgReg).

Registr na adrese F1/BAR1+220 obsahuje osm nejnižších bitů, registr na adrese F1/BAR1+228 pak osm nejvyšších bitů dat; pořadí programování viz kapitola 5.1.

-  *Pro čítače CNT1 a CNT2 jsou implementovány analogické registry na adresách F1/BAR1+2A0/2A4/2A8, F1/BAR1+320/324/328, viz Tab.6.*

5.17. CNT0CMP2 (WR, F1/BAR1+230/234/238)

Tento 24bitový registr definuje práh druhého komparátoru čítače CNT0; význam je analogický registru CNT0CMP1.

 Pro čítače CNT1 a CNT2 jsou implementovány analogické registry na adresách F1/BAR1+2B0/2B4/2B8, F1/BAR1+330/334/338, viz Tab.6.

5.18. CNT0CWReg (WR, F1/BAR1+270)


Tento registr slouží ke konfiguraci pracovního režimu čítače CNT0.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	CNT_MODE			ERR	RSRV	LPF	R_Cfg

- R_Cfg
- volba polarity nulovacího pulsu (signál R)
(0 = čítač nulován úrovní L, 1 = čítač nulován úrovní H)
- LPF
- volba dolnopropustního filtru dekodéru vstupních signálů
(0 = filtr vypnut, 1 = filtr aktivován)
- ERR
- nulování příznaku ERR v CNT0StatReg
(1 = příznak vynulován, následný zápis 0 není vyžadován)
- CNT_MODE
- volba pracovního režimu čítače

000	kvadrurní enkodér, režim X1 (viz Obr. 5.)
001	kvadrurní enkodér, režim X2 (viz Obr. 5.)
010	kvadrurní enkodér, režim X4 (viz Obr. 5.)
011	rezerva
100	režim "up/down" (viz Obr. 6.)
101	režim "count/dir" (viz Obr. 7.)
110	režim "count/gate" (viz Obr. 8.)
111	rezerva
- RSRV
- rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

 Pro čítače CNT1 a CNT2 jsou implementovány analogické registry na adresách F1/BAR1+2F0, F1/BAR1+370, viz Tab.6.


5.19. CNT0StatReg (RD, F1/BAR1+270)

Tento registr slouží k identifikaci stavových informací čítače CNT0.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV				ERR	R_IN	B_IN	A_IN

- D0 • aktuální stav signálu A
- D1 • aktuální stav signálu B
- D2 • aktuální stav signálu R
- D3 • příznak ERR; příznak je nastaven na hodnotu 1 při
 - "přeskočení" fáze kvadrurního signálu v režimech X1, X2 a X4
 - stavem A=0 a B=0 v režimu "up/down"
- RSRV • rezerva (nastavena hodnota 0)

 Pro čítače CNT1 a CNT2 jsou implementovány analogické registry na adresách F1/BAR1+2F0, F1/BAR1+370, viz Tab.6.

5.20. CNTEnReg (WR, F1/BAR1+380)

Tento registr slouží k řízení všech tří čítačů.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV7	EN_R2	EN_R1	EN_R0	RSRV3	EN_AB2	EN_AB1	EN_AB0

- EN_AB0 • povolení čítání CNT0
(0 = čítač je zastaven, 1 = čítač zpracovává signály A0 a B0)
- EN_AB1 • povolení čítání CNT1
(0 = čítač je zastaven, 1 = čítač zpracovává signály A1 a B1)
- EN_AB2 • povolení čítání CNT2
(0 = čítač je zastaven, 1 = čítač zpracovává signály A2 a B2)
- RSRV3 • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)
- EN_R0 • povolení nulování CNT0
(0 = čítač ignoruje signál R0, 1 = čítač zpracovává signál R0)
- EN_R1 • povolení nulování CNT1
(0 = čítač ignoruje signál R1, 1 = čítač zpracovává signál R1)
- EN_R2 • povolení nulování CNT2
(0 = čítač ignoruje signál R2, 1 = čítač zpracovává signál R2)
- RSRV7 • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

 Aktivní úroveň signálu R je konfigurovatelná, viz popis CNT0CWRReg.

5.21. CNTCtrlReg (WR, F1/BAR1+384)

Tento registr slouží k řízení všech tří čítačů.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV7	SET_2	SET_1	SET_0	RSRV3	STR_2	STR_1	STR_0

- STR_0 • přenos dat z CNT0 do CNT0StrReg
(1 = data přenesena do registru, následný zápis 0 není vyžadován)
- STR_1 • přenos dat z CNT1 do CNT1StrReg
(1 = data přenesena do registru, následný zápis 0 není vyžadován)
- STR_2 • přenos dat z CNT2 do CNT2StrReg
(1 = data přenesena do registru, následný zápis 0 není vyžadován)
- RSRV3 • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)
- SET_0 • přenos dat z CNT0SetReg do CNT0
(1 = data přenesena do čítače, následný zápis 0 není vyžadován)
- SET_1 • přenos dat z CNT1SetReg do CNT1
(1 = data přenesena do čítače, následný zápis 0 není vyžadován)
- SET_2 • přenos dat z CNT2SetReg do CNT2
(1 = data přenesena do čítače, následný zápis 0 není vyžadován)
- RSRV7 • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

5.22. CMPEnReg (WR, F1/BAR1+390)

Tento registr slouží k řízení komparátorů všech tří čítačů.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV7	EN_C22	EN_C12	EN_C02	RSRV3	EN_C21	EN_C11	EN_C01

- EN_C01 • aktivace 1. komparátoru čítače CNT0 (práh CNT0CMP1)
(0 = komparátor blokován, 1 = komparátor aktivován)
- EN_C11 • aktivace 1. komparátoru čítače CNT1 (práh CNT1CMP1)
(0 = komparátor blokován, 1 = komparátor aktivován)
- EN_C21 • aktivace 1. komparátoru čítače CNT2 (práh CNT2CMP1)
(0 = komparátor blokován, 1 = komparátor aktivován)
- RSRV3 • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)
- EN_C02 • aktivace 2. komparátoru čítače CNT0 (práh CNT0CMP2)
(0 = komparátor blokován, 1 = komparátor aktivován)
- EN_C12 • aktivace 2. komparátoru čítače CNT1 (práh CNT1CMP2)
(0 = komparátor blokován, 1 = komparátor aktivován)
- EN_C22 • aktivace 2. komparátoru čítače CNT2 (práh CNT2CMP2)
(0 = komparátor blokován, 1 = komparátor aktivován)
- RSRV7 • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)


5.23. CMPStatReg (RD, F1/BAR1+390)

Tento registr slouží k identifikaci příznaků komparátorů.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV7	CMP_22	CMP_12	CMP_02	RSRV3	CMP_21	CMP_11	CMP_01

- CMP_01 • příznak 1. komparátoru čítače CNT0
(1 = detekována ekvivalence stavu čítače CNT0 a CNT0CMP1)
- CMP_11 • příznak 1. komparátoru čítače CNT1
(1 = detekována ekvivalence stavu čítače CNT1 a CNT1CMP1)
- CMP_21 • příznak 1. komparátoru čítače CNT2
(1 = detekována ekvivalence stavu čítače CNT2 a CNT2CMP1)
- RSRV3 • rezerva (nastavena hodnota 0)
- CMP_02 • příznak 2. komparátoru čítače CNT0
(1 = detekována ekvivalence stavu čítače CNT0 a CNT0CMP2)
- CMP_12 • příznak 2. komparátoru čítače CNT1
(1 = detekována ekvivalence stavu čítače CNT1 a CNT1CMP2)
- CMP_22 • příznak 2. komparátoru čítače CNT2
(1 = detekována ekvivalence stavu čítače CNT2 a CNT2CMP2)
- RSRV7 • rezerva (nastavena hodnota 0)

 *Nastavovány jsou pouze příznaky aktivované v CMPEnReg, k nulování nastavených příznaků slouží CMPClrReg.*

5.24. CMPClrReg (WR, F1/BAR1+394)

Tento registr slouží k nulování příznaků komparátorů.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV7	CLR_22	CLR_12	CLR_02	RSRV3	CLR_21	CLR_11	CLR_01

- CLR_01 • nulování příznaku 1. komparátoru čítače CNT0
(1 = příznak vynulován, následný zápis 0 není vyžadován)
- CLR_11 • nulování příznaku 1. komparátoru čítače CNT1
(1 = příznak vynulován, následný zápis 0 není vyžadován)
- CLR_21 • nulování příznaku 1. komparátoru čítače CNT2
(1 = příznak vynulován, následný zápis 0 není vyžadován)
- RSRV3 • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)
- CLR_02 • nulování příznaku 2. komparátoru čítače CNT0
(1 = příznak vynulován, následný zápis 0 není vyžadován)
- CLR_12 • nulování příznaku 2. komparátoru čítače CNT1
(1 = příznak vynulován, následný zápis 0 není vyžadován)
- CLR_22 • nulování příznaku 2. komparátoru čítače CNT2
(1 = příznak vynulován, následný zápis 0 není vyžadován)
- RSRV7 • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)


5.25. CMPIRQReg (WR, F1/BAR1+398)

Tento registr slouží k povolení požadavku o přerušení (tzn. umožní nastavení příznaků v IRQStatusReg), ne však pro povolení vyvolání přerušení (viz popis INTEnReg).

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV7	IRQ_22	IRQ_12	IRQ_02	RSRV3	IRQ_21	IRQ_11	IRQ_01

- IRQ_01 • povolení požadavku od příznaku 1. komparátoru čítače CNT0 (0 = požadavek blokován, 1 = požadavek aktivován)
- IRQ_11 • povolení požadavku od příznaku 1. komparátoru čítače CNT1 (0 = požadavek blokován, 1 = požadavek aktivován)
- IRQ_21 • povolení požadavku od příznaku 1. komparátoru čítače CNT2 (0 = požadavek blokován, 1 = požadavek aktivován)
- RSRV3 • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)
- IRQ_02 • povolení požadavku od příznaku 2. komparátoru čítače CNT0 (0 = požadavek blokován, 1 = požadavek aktivován)
- IRQ_12 • povolení požadavku od příznaku 2. komparátoru čítače CNT1 (0 = požadavek blokován, 1 = požadavek aktivován)
- IRQ_22 • povolení požadavku od příznaku 2. komparátoru čítače CNT2 (0 = požadavek blokován, 1 = požadavek aktivován)
- RSRV7 • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

 Konfigurace má smysl pouze pro příznaky povolené v CMPEnReg.

5.26. RTDOReg (WR, F1/BAR1+3A0)

Tento registr slouží jako datový registr pro alternativní funkci "real-time" výstupů (viz popis RTDOCfgReg).

5.27. RTDOCfgReg (WR, F1/BAR1+3A4)

Tento registr slouží k aktivaci funkce "real-time" výstupů.

"Real-time" výstupy karty jsou primárně určeny pro aplikace vyžadující rychlou reakci systému na dosažení nastavené polohy a jsou na ně směrovány výstupy záchytných registrů komparátorů (viz CMPEnReg, CMPStatReg a CMPClrReg). Není-li tato funkce využita, lze na výstupy směrovat obsah RTDOReg a výstupy využít ve funkci standardního programem řízeného digitálního portu.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV7	RT_22	RT_12	RT_02	RSRV3	RT_21	RT_11	RT_01

- RT_01 • směrování signálu RT-DOUT0 (0 = směrován RTDOReg(0), 1 = směrován 1. komparátor CNT0)
- RT_11 • směrování signálu RT-DOUT1 (0 = směrován RTDOReg(1), 1 = směrován 1. komparátor CNT1)

- RT_21 • směrování signálu RT-DOUT2
(0 = směrován RTDOReg(2), 1 = směrován 1. komparátor CNT2)
- RSRV3 • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)
(na výstup RT-DOUT3 trvale směrován RTDOReg(3))
- RT_02 • směrování signálu RT-DOUT4
(0 = směrován RTDOReg(4), 1 = směrován 2. komparátor CNT0)
- RT_12 • směrování signálu RT-DOUT5
(0 = směrován RTDOReg(5), 1 = směrován 2. komparátor CNT1)
- RT_22 • směrování signálu RT-DOUT6
(0 = směrován RTDOReg(6), 1 = směrován 2. komparátor CNT2)
- RSRV7 • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)
(na výstup RT-DOUT7 trvale směrován RTDOReg(7))

5.28. FPGATypeReg (WR, F1/BAR1+3F8)

Tento registr poskytuje typ firmware FPGA v rozsahu 0~255; standardní verzi firmware PCT-7303B bylo přiděleno číslo "1".

5.29. FPGAVerReg (WR, F1/BAR1+3FC)

Tento registr poskytuje verzi firmware FPGA ve formátu [D7~D4 .D3~D0], tedy "0.0" až "15.15".

6. Popis čítačů

6.1. Úvod

Karty PCT-7303B obsahují tři nezávislé obousměrné čítače s programovatelnými vstupními obvody s podporou celé řady pracovních režimů.

Jádrem karty je výkonné FPGA konfigurované z diskového souboru při každém startu počítače, případně kdykoliv aplikační program vyžaduje (v případě více různých konfiguračních souborů).

Podrobnosti o obvodovém řešení jsou uvedeny na obrázcích Obr.9. až Obr.11.

6.2. Zapojení vstupů

Vstupní obvody jsou kompatibilní s úrovněmi RS-422 (preferované řešení) nebo HC/TTL; v druhém případě je potřeba propojit referenční napětí na nevyužité vstupy (viz obrázek Obr.4.).

6.3. Programovatelná vstupní logika

Vstupní logika umožňuje konfigurovat do řady pracovních režimů, podrobně viz obrázky Obr.5. až Obr.8.

Pro vybrané režimy je k dispozici detekce chybových stavů a pro všechny režimy pak digitální dolnoproustní filtr (vyžaduje stabilní signál po dobu minimálně 150 ns, tzn. ze signálu odfiltruje zákmity kratší než 150 ns).

6.4. Čítače

Karta obsahuje tři 24bitové obousměrné čítače s možností zkrácení cyklu v rozsahu 2~16.777.216 (tzn. nastavená data 1~16.777.215) pomocí registru CNTxRngReg; čítač tedy pracuje v režimech

data	inkrementace	dekrementace
1	0-1-0-1- ...	1-0-1-0- ...
2	0-1-2-0-1- ...	1-0-2-1-0 ...
16.777.215	16.777.215-0-1- ...	1-0-16.777.215-16.777.214-...

Čítače umožňují přednastavit na libovolnou 24bitovou hodnotu pomocí registru CNTxSetReg; program nejprve nastaví požadovanou hodnotu třemi 8bitovými zápisy a následně přenesení data do čítače pomocí CNTCtrlReg (lze provést pro všechny čítače současně). Obsah registru CNTxSetReg zůstává nezměněn až do jeho další modifikace programem.

Je-li v okamžik nastavení registru CNT0RngReg hodnota čítače mimo rozsah 0~CNT0RngReg, pracuje čítač v celém 24bitovém rozsahu až do okamžiku, kdy hodnota čítače vstoupí do zvoleného rozsahu. Pro korektní funkci tedy musí být hodnota programovaná do čítače v rozsahu 0~CNTxRngReg.

Ke programovému čtení čítače je vyhrazen zachytný registr CNTxStrReg; program nejprve zachytí obsah čítače do registru (lze provést pro všechny čítače současně) a následně přečte hodnotu třemi 8bitovými cykly.

Ve speciálních případech lze využít zachycení stavu čítačů externím TTL signálem EXT-IN (alternativní funkce k signálu RT-DOU7, konfigurace propojkou).

Je-li tato funkce povolena registrem XSTRCfgReg, pak sestupná hrana signálu EXT-IN nastaví příznak XSTR v registru XSTRStatReg a aktuální obsah všech čítačů je přenesen do registrů CNTxXStrReg. Nastavení příznaku XSTR může být využito i k vyvolání přerušení systému.

Pro přečtení obsahu CNTxXStrReg je potřeba vynulováním příznaku XSTR pomocí registru XSTRClrReg opětovně aktivovat detekci sestupné hrany EXT-IN.

6.5. Komparátory

Každý z čítačů je vybaven dvěma 24bitovými komparátory porovnávající aktuální hodnotu čítače s přednastaveným registrem. Výstupy komparátorů jsou typicky využity pro "real-time" výstupy nebo pro obvody přerušení, lze je však využít i pro prosté softwarové zpracování.

Každý z komparátorů umožňuje individuálně přednastavit prahovou hodnotu (24bitová data jsou naprogramována třemi cykly), aktivovat (viz CMPEnReg) i zpracovat příznak v záchytném registru (viz CMPStatReg a CMPClrReg).

Prahovou hodnotu komparátoru lze programovat kdykoliv "za běhu" čítače; je však potřeba si uvědomit, že komparátor je aktivní při každém zápisu 8bitové hodnoty a příznak tedy může být nastaven některým z přechodných prahů. Před každým přeprogramováním prahové hodnoty je potřeba deaktivovat příslušný komparátor a po naprogramování jej opětovně povolit (viz CMPEnReg).

6.6. "Real-time" výstupy

"Real-time" výstupy karty jsou primárně určeny pro aplikace vyžadující rychlou reakci systému na dosažení nastavené polohy a jsou na ně v tomto režimu směřovány výstupy záchytných registrů komparátorů.

Není-li tato funkce využita, lze na výstupy směřovat obsah RTDOReg a výstupy využít ve funkci standardního programem řízeného digitálního portu (výhodné mj. při programovém testování odezvy systému).

Směrování je bitově orientované, tzn. lze provést individuálně pro každý signál.

6.7. Generátor časových značek

Karta PCT-7303B obsahuje speciální generátor umožňující vyvolávat periodické přerušení systému s volitelnou konstantou 1~255 ms. Podrobný popis viz registr TimerReg.

6.8. Obvody přerušení

Pro aplikace, kdy pro zpětné zásahy do technologie nevyhoví "real-time" výstupy, nabízí karta podporu přerušení systému. V tomto režimu mohou být vybrané výstupy komparátorů směřovány na programovatelné obvody přerušení; konfigurace je právě jako v případě "real-time" výstupů bitově orientovaná, tzn. směrování lze provést individuálně pro každý komparátor.

Kromě uvedených šesti zdrojů může být přerušení vyvoláno ještě generátorem časových značek a externím signálem pro zachycení stavu čítačů.

7. Popis řadiče přerušení

7.1. Úvod

Karta PCT-7303B je vybavena programovatelnou logikou přerušení s až sedmi současně pracujícími zdroji. Vnitřní struktura karty je zjednodušeně znázorněna na obrázcích Obr.9. až Obr.11.

Jelikož volba IRQ kanálu je dána PnP mechanismy PCI BIOSu, následující odstavce budou věnovány pouze volbě zdroje přerušení s ohledem na praktické využití.

7.2. Zdroje přerušení

Karta PCT-7303B umožňuje vyvolat přerušení některým ze šesti komparátorů čítačů a generátorem časových značek v libovolné kombinaci. Každý ze zdrojů přerušení lze individuálně povolit i nulovat prostřednictvím registrů IRQCfgReg, IRQClrReg, CMPEnReg, CMPIRQReg a CMPClrReg.

7.3. Programová obsluha přerušení

Zjednodušený algoritmus programové obsluhy je popsán v následujícím postupu:

-> **inicializace**

1. program nainstaluje přerušovací rutinu na IRQ kanál přidělený BIOSem (viz popis PCI konfiguračních registrů v příloze manuálu)
2. program nastaví vhodné konfigurační parametry čítačů a nastaví jejich obsah
3. program vynuluje případné nezpracované příznaky pomocí IRQClrReg (IRQClrReg=FFh) a CMPClrReg.
4. program povolí obvody přerušovací linku (INTEnReg=80h)
5. program povolí požadované zdroje přerušení na kartě (např. IRQCfgReg=0011000 povolí přerušení odvozené od generátoru časových značek i komparátorů)
6. program nastaví hodnoty komparátorů (CNTxCMPx)
7. program povolí přerušení od vybraného komparátoru (např. CMPIRQReg=0001001 povolí přerušení od obou komparátorů CNT0)
8. program aktivuje komparátory (CMPEnReg)
9. program spustí čítače (INTEnReg) a generátor časových značek (např. TimerReg=25 nastaví periodické přerušení od časovače na hodnotu 25 ms)

-> **po příchodu události je vyvoláno přerušení**

- obsluha přerušení** (tzv. ISR) uvolní INTA sběrnice pomocí INTEnReg (zápisem INTEnReg=0h a následně INTEnReg=80h), ukončí rutinu v řadiči přerušení (resp. přenechá řízení další ISR) a předá zprávu aplikačnímu programu
10. program přečte IRQStatusReg a identifikuje přerušení (např. IRQStatusReg=00100000 znamená, že přerušení bylo vyvoláno některým z komparátorů)
 11. program přečte CMPStatReg a identifikuje přerušení (např. CMPStatReg=00000001 znamená, že přerušení bylo vyvoláno prvním komparátorem čítače CNT0)
 12. program vynuluje CMPStatReg pomocí CMPClrReg (pro daný případ proved zápis CMPClrReg=00000001)

13. program vynuluje IRQStatReg pomocí IRQClrReg (pro daný případ IRQClrReg=00100000)
 14. program znovu přečte IRQStatusReg a CMPStatReg; je-li některý z nich nenulový, identifikuje přerušení a smaže jeho příznaky podle bodů 10~13.
- > ukončení programu**
15. program zastaví časovač vynulováním TimerReg, vynuluje registry INTEnReg, IRQCfgReg, CMPIRQReg a CMPEnReg, eventuálně vynuluje nezpracované příznaky pomocí IRQClrReg, a odinstaluje přerušovací rutinu.

8. Popis digitálních vstupů a výstupů

8.1. Úvod

PC karty řady PCT-7303B obsahují kromě 8 "real-time" výstupů (umístěny na konektoru Cannon 9) rovněž 8 vstupních kanálů a 8 kanálů výstupních; signály obou portů jsou umístěny na dvou konektorech DIL10.

V případě potřeby lze použít redukční kabel PCE-209, který převede signály z obou konektorů DIL10 na 2x Cannon 9.

8.2. Zapojení vstupů

Pro realizaci vstupů bylo využito obvodů technologie HCTMOS. Jejich výhodné vlastnosti (vysoká vstupní impedance a zanedbatelný vstupní proud, ochranné diody) byly využity pro přepětovou ochranu do $\pm 24V$.

Protože klidový stav vstupů odpovídá logické úrovni H (ošetřeno rezistory 10kOhm proti napětí +5V), lze je použít i pro připojení signálů typu "otevřený kolektor".

8.3. Zapojení výstupů

Pro realizaci výstupů bylo využito obvodů technologie HCMOS. Pro jejich výhodné vlastnosti (vysoký výstupní proud a zanedbatelný napěťový úbytek) je lze využít pro přímé buzení LED, optronů, popř. i miniaturních relé 5V/500 Ohm.

Elektrické vlastnosti "real-time" výstupů jsou totožné s vlastnostmi standardních digitálních portů.



Na konektoru Cannon 9 je konfigurační propojkou alternativně aktivován signál RT-DOUT7 nebo EXT-IN.

9. Konfigurace FPGA a další funkce karty

9.1. Úvod

Karty PCT-7303B nabízejí kromě funkcí popsaných v předešlých kapitolách i řadu servisních funkcí dostupných prostřednictvím F0/BAR0, resp. F0/BAR5.

9.2 Konfigurace FPGA

Předešlá verze karty s označením PCT-7303A vyžadovala konfiguraci FPGA (tzn. hradlového pole na bázi buněk RAM) z diskového souboru ovladačem nebo přímo aplikačním programem. Výhodou tohoto řešení byla velmi jednoduchá modifikace firmware karty pouhou záměnou datového souboru.

PCT-7303B již obsahuje mikropočítačem řešené obvody automatické konfigurace FPGA po zapnutí, resp. po restartu počítače.

Mikropočítač má několik rozhraní:

- rozhraní k FPGA (konfigurační i pro funkční přenosy)
- rozhraní k paměti Flash 512 kB (může obsahovat až dvě verze firmware)
- sériové rozhraní k PCI sběrnici (z pohledu PC standardní UART 16C950)
- pomocné servisní signály

Popsané řešení umožňuje programování Flash paměti nezávisle na funkčnosti FPGA pomocí servisní utility a modifikovat tak firmware karty bez rizika jejího znehodnocení. Zmíněný mechanismus lze rovněž použít pro zakázkové modifikace firmware karet.

9.3. Identifikace stavu karty

Ačkoliv servisní rozhraní je primárně určeno pro programování Flash paměti, má implementovánu uživatelsky použitelné funkce např. pro zjištění přesného stavu karty (výrobní číslo, verze firmware, funkce FPGA) a "Board-ID" čísla umožňujícího identifikovat v systému až 4 karty stejného typu (tzn. uživatelem nastavené číslo karty, definováno vyhrazeným DIP spínačem); příklad výpisu šesti 16znakových řetězců předávaných kartou je uveden dále.

PCT-7303B	typ karty
173033001	výrobní číslo karty (shodné se štítkem na kartě)
PCIloader v.1.10	identifikace firmware mikropočítače
FPGA-18-1.0	identifikace firmware FPGA
FPGA Status: 1	0= chyba FPGA, 1 nebo 2= funkční 1./2. verze firmware
Board-ID: 3	číslo 0~3 nastavené DIP spínači (viz Obr.1.)

Podpora této funkce je implementovaná v ovladači TEDIA_DAQ01; v případě potřeby začlenění do vlastních ovladačů kontaktujte technickou podporu.

 *Popsané identifikační rozhraní je identicky použito pro dalších karty řady "7000B".*

funkce	PIN	PIN	funkce
+5V (700mA max.)	C1		
PWR GND	C2	C14	+12V (700mA max.)
VREF (1,25V)	C3	C15	PWR GND
CNT2 (-R)	C4	C16	VREF (2,5V)
CNT2 (-B)	C5	C17	CNT2 (+R)
CNT2 (-A)	C6	C18	CNT2 (+B)
CNT1 (-R)	C7	C19	CNT2 (+A)
CNT1 (-B)	C8	C20	CNT1 (+R)
CNT1 (-A)	C9	C21	CNT1 (+B)
CNT0 (-R)	C10	C22	CNT1 (+A)
CNT0 (-B)	C11	C23	CNT0 (+R)
CNT0 (-A)	C12	C24	CNT0 (+B)
GND	C13	C25	CNT0 (+A)

Tab.1. Zapojení vývodů konektorů Cannon 25.



*Signály PWR GND a A GND jsou na kartě propojeny.
PWRGND slouží pro napájení snímače, GND pro signálovou "zem".*

funkce	PIN	PIN	funkce
RT-DOUT0	C1		
RT-DOUT2	C2	C6	RT-DOUT1
RT-DOUT4	C3	C7	RT-DOUT3
RT-DOUT6	C4	C8	RT-DOUT5
GND	C5	C9	RT-DOUT7 / EXT-IN

Tab.2. Zapojení vývodů konektorů Cannon 9.



*RT-DOUT jsou "real-time výstupy" generující signály odvozené od komparátorů stavu čítačů.
Směr přenosu signálu na pinu C9 je konfigurovatelný propojkou JP1 do funkce RT-DOUT7 nebo EXT-IN (vstup pro externí zachycení stavu čítačů; sestupná hrana přenesení aktuálního stavu čítačů do registrů CNTxXStrReg a nastaví příznak zachycení, popř. vyvolá přerušení), podrobně viz obrázky Obr.1., Obr.9 a Obr.11.*

funkce	PIN	PIN	funkce
<i>DIN0 / DOUT0</i>	<i>D1</i>	<i>D2</i>	<i>DIN1 / DOUT1</i>
<i>DIN2 / DOUT2</i>	<i>D3</i>	<i>D4</i>	<i>DIN3 / DOUT3</i>
<i>DIN4 / DOUT4</i>	<i>D5</i>	<i>D6</i>	<i>DIN5 / DOUT5</i>
<i>DIN6 / DOUT6</i>	<i>D7</i>	<i>D8</i>	<i>DIN7 / DOUT7</i>
<i>GND</i>	<i>D9</i>	<i>D10</i>	<i>+5V</i>

Tab.3. Zapojení vývodů konektoru DIL 10.

funkce	PIN	PIN	funkce
<i>DIN0 / DOUT0</i>	<i>C1</i>		
<i>DIN2 / DOUT2</i>	<i>C2</i>	<i>C6</i>	<i>DIN1 / DOUT1</i>
<i>DIN4 / DOUT4</i>	<i>C3</i>	<i>C7</i>	<i>DIN3 / DOUT3</i>
<i>DIN6 / DOUT6</i>	<i>C4</i>	<i>C8</i>	<i>DIN5 / DOUT5</i>
<i>GND</i>	<i>C5</i>	<i>C9</i>	<i>DIN7 / DOUT7</i>

Tab.4. Zapojení vývodů konektorů Cannon 9 redukčního kabelu PCE-209.

adresa registru (hex)	funkce registru
<i>F1/BAR1+000</i>	<i>DIOReg0 - registr digitálních vstupů</i>
<i>F1/BAR1+004</i>	<i>DIOReg1 - registr digitálních výstupů</i>
<i>F1/BAR1+008 ~ F1/BAR1+1FC</i>	<i>rezerva</i>
<i>F1/BAR1+180</i>	<i>IRQCfgReg, IRQStatusReg - registry obvodů přerušení</i>
<i>F1/BAR1+184</i>	<i>IRQClrReg - řídicí registr obvodů přerušení</i>
<i>F1/BAR1+188</i>	<i>rezerva (obvyklý TimerReg přemístěn na adresu 5F0)</i>
<i>F1/BAR1+18C</i>	<i>INTEnReg - řídicí registr obvodů přerušení</i>
<i>F1/BAR1+190, F1/BAR1+194</i>	<i>obvody pro zachycení stavu čítačů externím signálem</i>
<i>F1/BAR1+198 ~ F1/BAR1+1FC</i>	<i>rezerva</i>
<i>F1/BAR1+200 ~ F1/BAR1+27C</i>	<i>registry CNT0 (viz. Tab.6.)</i>
<i>F1/BAR1+280 ~ F1/BAR1+2FC</i>	<i>registry CNT1 (viz. Tab.6.)</i>
<i>F1/BAR1+300 ~ F1/BAR1+37C</i>	<i>registry CNT2 (viz. Tab.6.)</i>
<i>F1/BAR1+380 ~ F1/BAR1+3FC</i>	<i>konfigurační registry CNT0, CNT1 a CNT2 (viz. Tab.7.)</i>

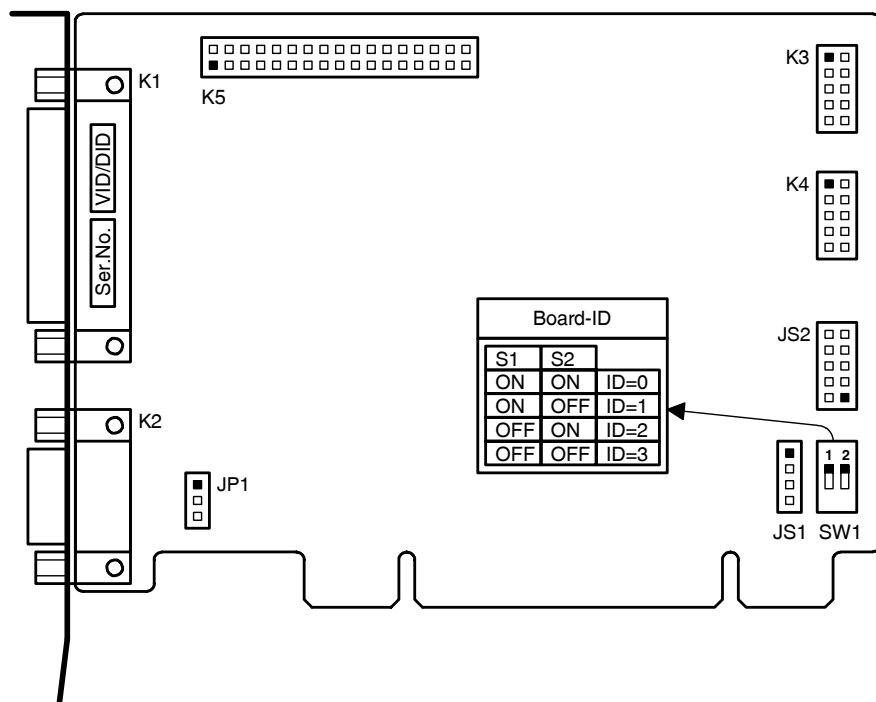
Tab.5. Struktura adresového prostoru karty.

adresa registru (hex)	funkce registru pro operaci zápis	funkce registru pro operaci čtení
F1/BAR1+200	CNT0SetReg	CNT0StrReg
F1/BAR1+204	vyrovnávací registr pro zápis dat	záchytný registr pro čtení dat
F1/BAR1+208	(24bit. data pro přenos do CNT)	(24bit. data, zachyceno softwarově)
F1/BAR1+20C	---	---
F1/BAR1+210	CNT0RngReg	CNT0XStrReg
F1/BAR1+214	24bit. registr pro "délku" čítače	záchytný registr pro čtení dat
F1/BAR1+218	(čítač pracuje v rozsahu 0~"délka")	(24bit. data, strobováno EXT_IN)
F1/BAR1+21C	---	---
F1/BAR1+220	CNT0CMP1	
F1/BAR1+224	1. komparátor čítače, 24bit. data	---
F1/BAR1+228	(ekvivalence nastaví příznak)	
F1/BAR1+22C	---	---
F1/BAR1+230	CNT0CMP2	
F1/BAR1+234	2. komparátor čítače, 24bit. data	---
F1/BAR1+238	(ekvivalence nastaví příznak)	
F1/BAR1+23C	---	---
F1/BAR1+240	---	---
F1/BAR1+244	---	---
F1/BAR1+248	---	---
F1/BAR1+24C	---	---
F1/BAR1+250	---	---
F1/BAR1+254	---	---
F1/BAR1+258	---	---
F1/BAR1+25C	---	---
F1/BAR1+260	---	---
F1/BAR1+264	---	---
F1/BAR1+268	---	---
F1/BAR1+26C	---	---
F1/BAR1+270	CNT0CWReg - řídicí registr čítače	CNT0StatReg - stavový reg. čítače
F1/BAR1+274	---	---
F1/BAR1+278	---	---
F1/BAR1+27C	---	---

Tab.6. Struktura adresového prostoru - blok registrů čítače CNT0
(pro CNT1/2 jsou implementovány analogické registrové bloky na adresách F1/BAR1+280~F1/BAR1+2FC, resp. F1/BAR1+300~F1/BAR1+37C, podrobně viz Tab.5.).

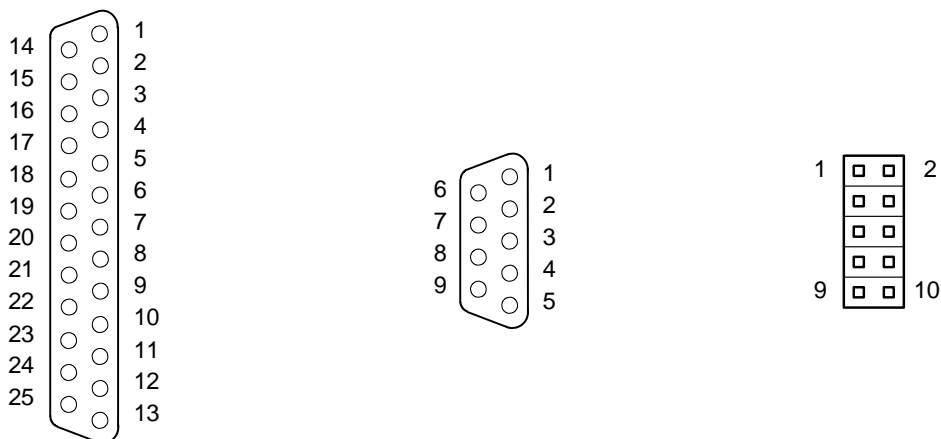
adresa registru (hex)	funkce registru pro operaci zápis	funkce registru pro operaci čtení
F1/BAR1+380	CNTEnReg - řídicí registr	---
F1/BAR1+384	CNTCtrlReg - řídicí registr	---
F1/BAR1+388	---	---
F1/BAR1+38C	---	---
F1/BAR1+390	CMPEnReg - řídicí registr	CMPStatReg - stavový registr
F1/BAR1+394	CMPClrReg - řídicí registr	---
F1/BAR1+398	CMPIRQReg - řídicí registr	---
F1/BAR1+39C	---	---
F1/BAR1+3A0	RTDOReg - řídicí registr	---
F1/BAR1+3A4	RTDOCfgReg - řídicí registr	---
F1/BAR1+3A8	---	---
F1/BAR1+3AC	---	---
F1/BAR1+3B0	---	---
F1/BAR1+3B4	---	---
F1/BAR1+3B8	---	---
F1/BAR1+3BC	---	---
F1/BAR1+3C0	---	---
F1/BAR1+3C4	---	---
F1/BAR1+3C8	---	---
F1/BAR1+3CC	---	---
F1/BAR1+3D0	---	---
F1/BAR1+3D4	---	---
F1/BAR1+3D8	---	---
F1/BAR1+3DC	---	---
F1/BAR1+3E0	---	---
F1/BAR1+3E4	---	---
F1/BAR1+3E8	---	---
F1/BAR1+3EC	---	---
F1/BAR1+3F0	TimerReg - generátor časových značek se zpětným čtením stavu	
F1/BAR1+3F4	---	---
F1/BAR1+3F8	---	---
F1/BAR1+3FC	---	verze FPGA [D7~D4.D3~D0]

Tab.7. Struktura adresového prostoru - blok konfiguračních registrů čítačů.

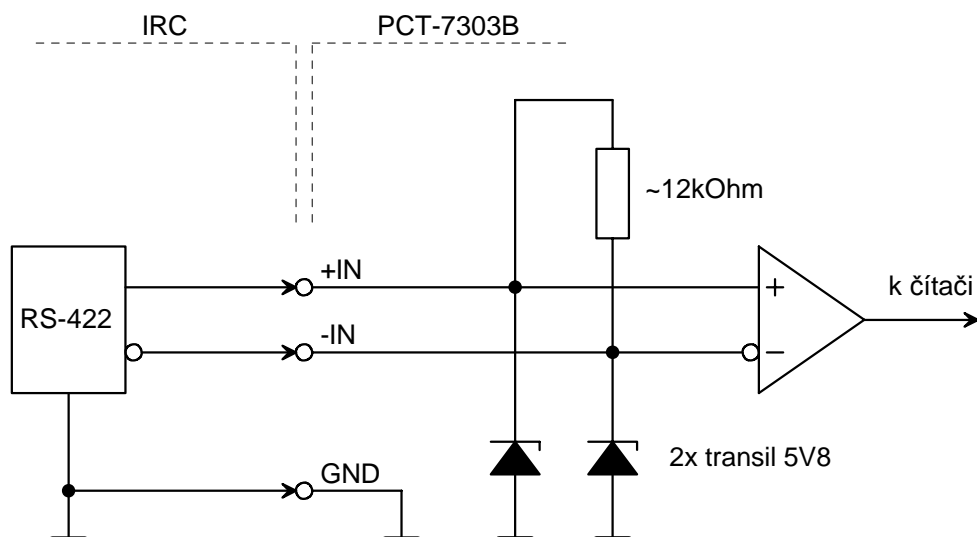


Obr.1. Rozmístění důležitých prvků na kartě PCT-7303B.

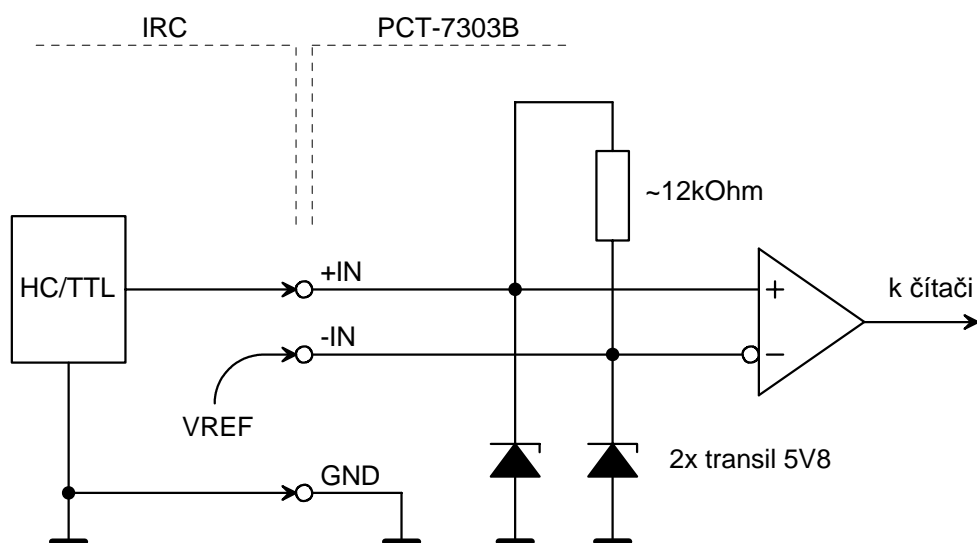
- K1 konektor čítačových vstupů (Cannon 25 - vidlice)
- K2 konektor "real-time" digitálních výstupů (Cannon 9 - vidlice)
- K3 konektor digitálních výstupů
- K4 konektor digitálních vstupů
- K5 konektor rezervovaný pro rozšíření funkcí karty (není využit)
- JP1 propojka pro konfiguraci signálu na konektoru K2, pin 9
(1-2: nastaven signál RT-DOU7, 2-3: nastaven signál EXT-IN)
- SW1 DIP spínač určený pro identifikaci více karet PCT-7303B v počítači
- JS1, JS2 konektory určené výhradně pro servisní účely



Obr.2. Rozmístění vývodů na konektorech Cannon 25, Cannon 9 a DIL 10.

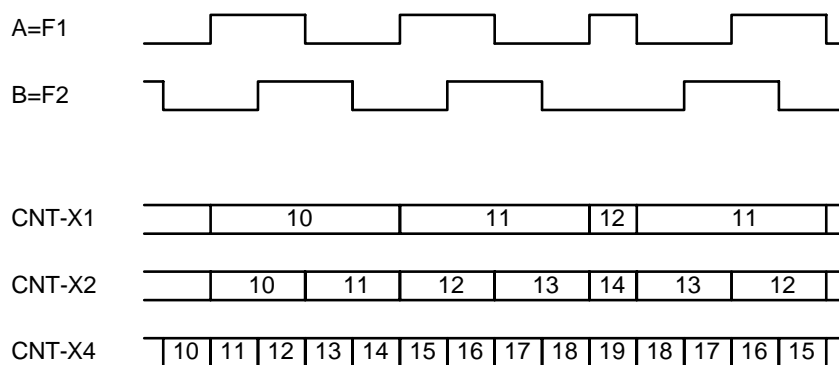


Obr.3. Připojení vstupů PCT-7303B k IRC s rozhraním RS-422.

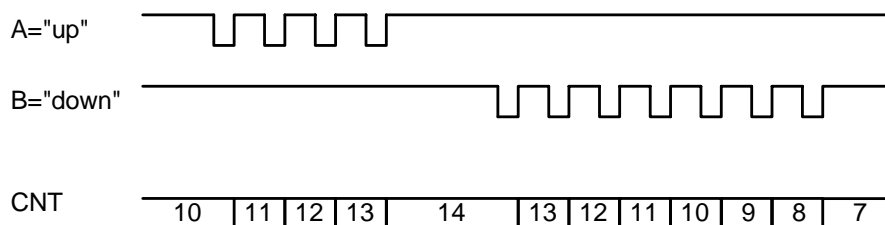


Obr.4. Připojení vstupů PCT-7303B k IRC s rozhraním HC nebo TTL.

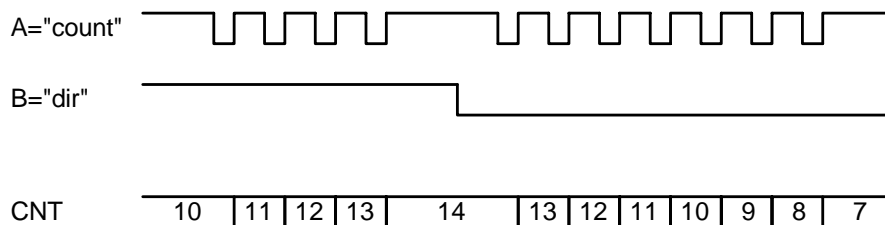
VREF je referenční napětí 2,5V (vhodné pro úrovně HC) nebo 1,25V (vhodné pro úrovně TTL); referenční napětí jsou dostupná na konektoru Cannon 25.



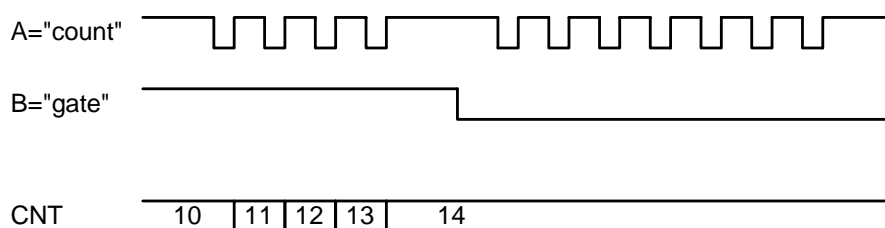
Obr.5. Standardní "kvadrurní" režimy X1, X2 a X4.



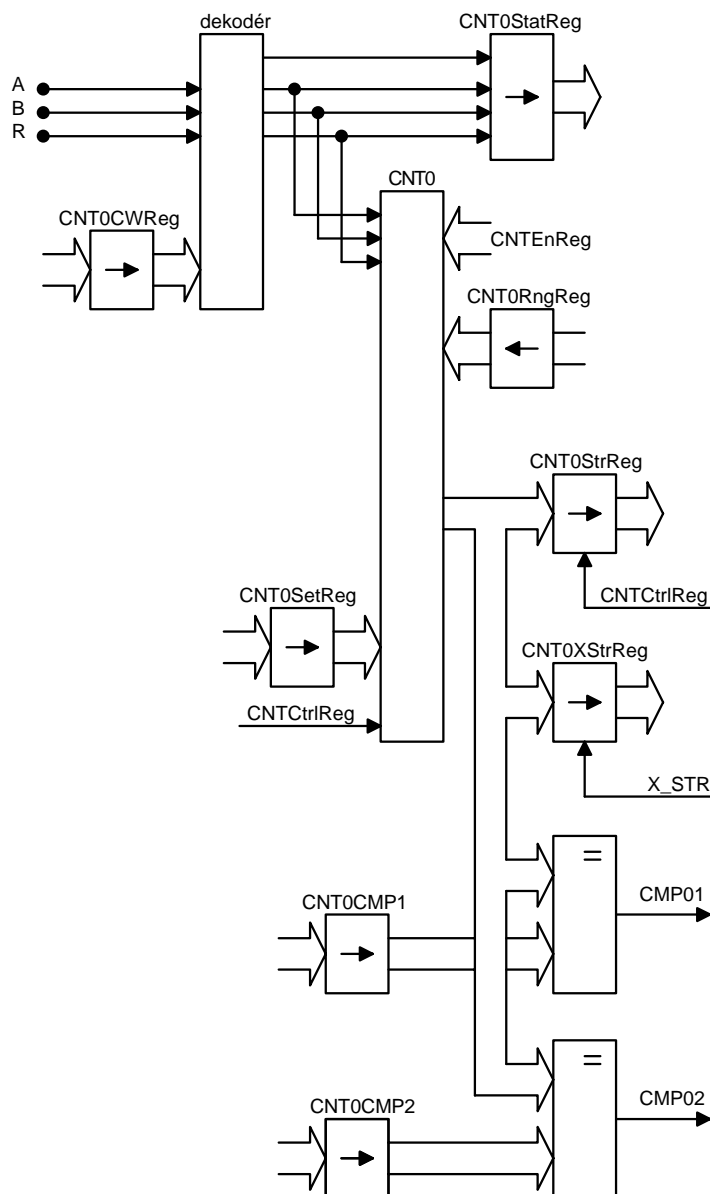
Obr.6. Rozšířený režim čítání "up/down".



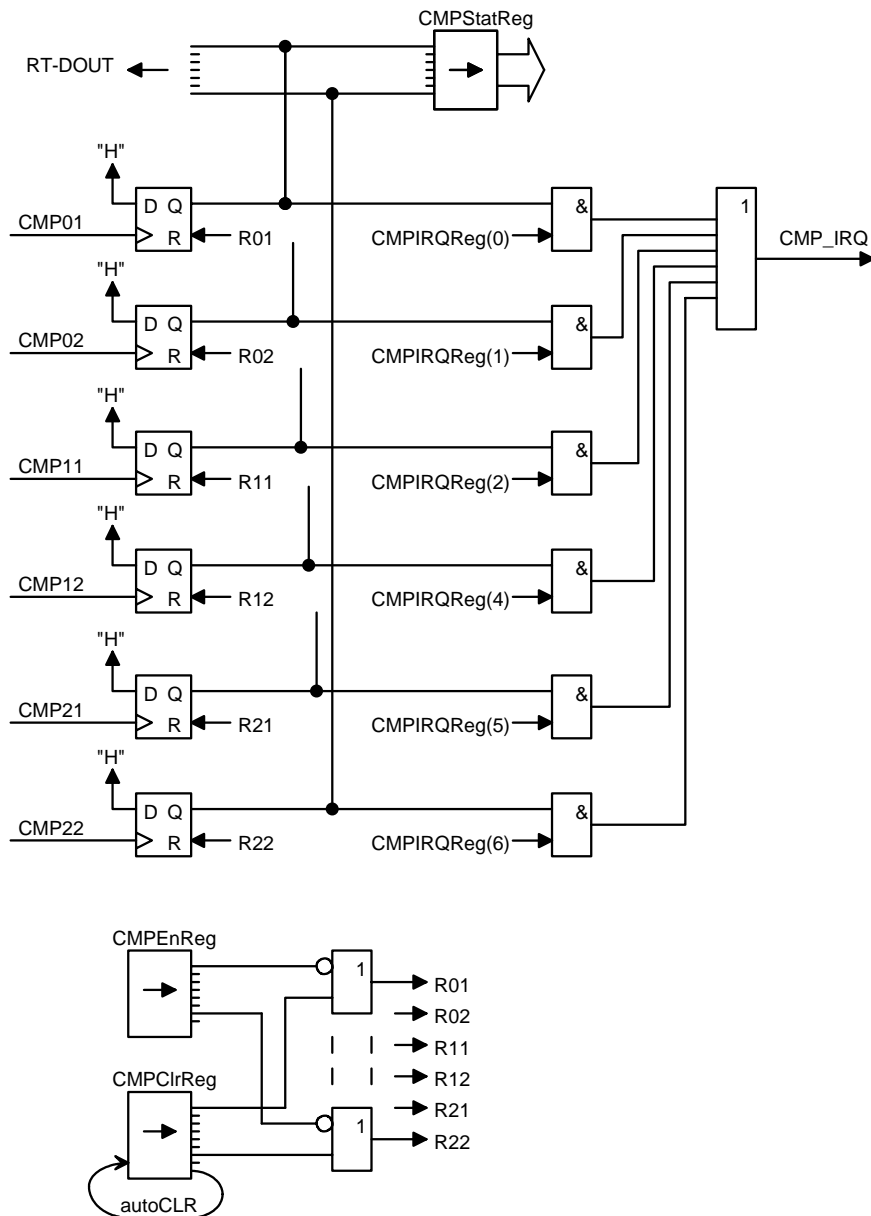
Obr.7. Rozšířený režim čítání "count/dir".



Obr.8. Rozšířený režim čítání "count/gate".

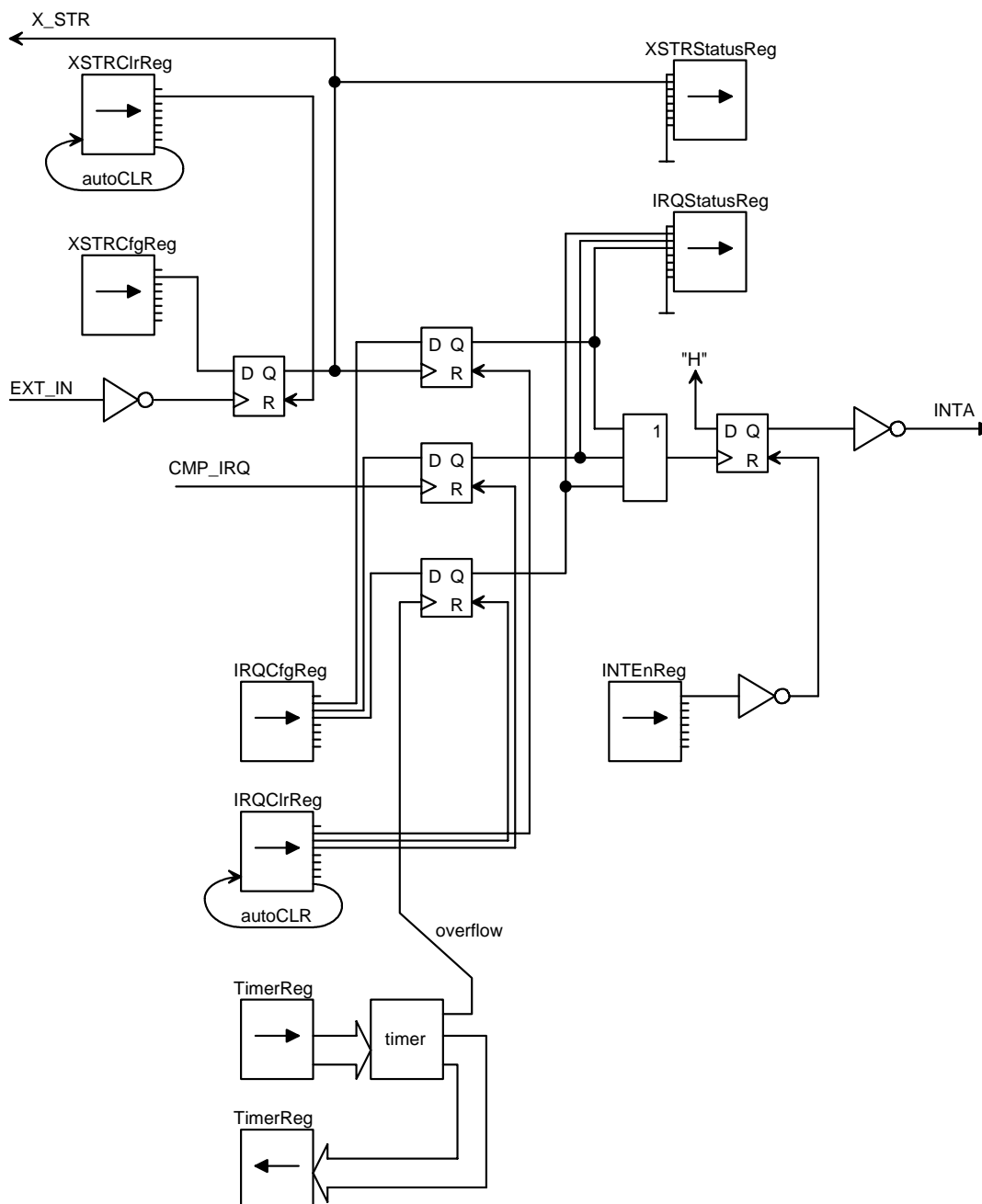


Obr.9. Blokové schéma obvodů čítače (tato část je na desce obsažena 3x). Dekodér zpracovává tři vstupní signály a jeho činnost je konfigurována registrem CNT0CWRReg (každý čítač disponuje vlastním registrem). Na dekodér navazuje obousměrný 24bitový čítač konfigurovaný registrem CNT0RngReg, jehož činnost je ovládána registrem CNTEnReg (společný pro všechny tři čítače). Registry CNT0SetReg a CNT0StrReg slouží pro zápis, resp. čtení obsahu čítače. Programově je obsah zpracováván třemi instrukcemi přenášejícími vždy osm bitů, vlastní přenos mezi registry a čítačem pak probíhá 24bitově příkazy do registru CNTCtrlReg. Aktuální stav čítače je vyhodnocován dvěma komparátory; v případě ekvivalence stavu s obsahem registru CNT0CMP1, resp. CNT0CMP2, je nastaven výstupní signál CMP01, resp. CMP02.



Obr.10. Blokové schéma řídicích obvodů čítačů, logiky přerušení a "real-time" výstupů.

Za podmínky, že je zpracování CMPxx povoleno registrem CMPEnReg, nastaví signál CMPxx náběžnou hranou záchytný registr na hodnotu 1. Stav záchytných registrů lze číst pomocí CMPStatReg a může být směřován na "real-time" výstupy, nulován je registrem CMPClrReg, popř. i CMPEnReg. Vybrané výstupy záchytných registrů (viz CMPIRQReg) jsou využity pro vyvolání přerušení systému (viz obrázek Obr.11.).



Obr.11. Blokové schéma obvodů přerušení - část řízení PCI sběrnice.

Za předpokladu povolení v **IRQCfgReg** náběžná hrana signálu **CMP_IRQ**, tzn. přechod z nulového do nenulového stavu zachytných registrů komparátorů povolených **CMPEnReg** a **CMPIRQReg** nastaví výstup registru na hodnotu 1. Stav tohoto registru lze číst pomocí **IRQStatusReg**.

Jsou-li aktivány obvody přerušení PCI sběrnice (viz **INTEnReg**), je nastaven registr ovládající signál **INTA** a vyvoláno přerušení systému. Obdobné řešení je použito i pro generátor časových značek.

Z výše uvedeného plyne, že přerušení systému je vyvoláno pouze první příchozí událostí a ostatní až do zpracování přerušení ovladačem nebo aplikačním programem pouze nastavují svoje příznaky; systém tedy nemůže být přetížen přílišnou četností přerušení.

2. Řadič OXmPCI952 v kartách TEDIA

2.1. Identifikační data karet TEDIA


VID (F0/F1)	1760 _H	VID přidělené TEDIA
DID (F0)	xxxx _H	DID přidělené function 0 karty
DID (F1)	xxxx _H	DID přidělené function 1 karty
Sub VID (F0/F1)	1760 _H	totéž jako VID
Sub ID (F0/F1)	xxxx _H	registrová verze karty (první má přiděleno číslo 1)
Class Code (F0)	070006 _H	třída "communication controller, 16950 compatible"
Class Code (F1)	118000 _H	třída "other data acquisition controller"

2.2. Využití I/O a MEM prostorů (BAR registry)

Řadič OXmPCI952 je "dvojfunkční", tzn. chová se proto jako dvě karty v jednom PCI slotu a obsahuje dvě sady registrů uvedených v předešlé tabulce. Function jsou v dalším popisu označovány jako F0 nebo F1.


Všechny karty TEDIA s řadičem OXmPCI952 mají konfigurovány prostory:

function	BAR	typ	velikost	význam
F0	BAR0	I/O	8 B	registry 1. UARTu
F0	BAR1	I/O	8 B	registry 2. UARTu
F0	BAR2	rezerva	- - -	rezerva pro registry 3. UARTu
F0	BAR3	rezerva	- - -	rezerva pro registry 4. UARTu
F0	BAR4	I/O	256 B	konfigurační registry PCI řadiče
F0	BAR5	MEM	4 kB	UARTy a konfigurační registry PCI řadiče
F1	BAR0	I/O	256 B	funkční registry karty
F1	BAR1	MEM	4 kB	funkční registry karty
F1	BAR2	I/O	256 B	konfigurační registry PCI řadiče
F1	BAR3	MEM	4 kB	konfigurační registry PCI řadiče
F1	BAR4	rezerva	- - -	nevyužito
F1	BAR5	rezerva	- - -	nevyužito

-  *F0/BAR5 slučuje registry obsažené v F0/BAR0 až F0/BAR4.*
F1/BAR1 obsahuje totožné registry jako F1/BAR0, přístup k registrům přes oba BARy je pro funkce karty ekvivalentní.
Rovněž přístup ke konfiguračním registrům přes F0/BAR4, F0/BAR5, F1/BAR2 a F1/BAR3 je funkčně ekvivalentní.

2.3. Mapování registrů v F1/BAR0 a F1/BAR1


Lokální "pass-through" sběrnice disponuje 256 registry (funkce registrů je popsána v základní části manuálu) a PCI řadič tyto registry mapuje současně do I/O i MEM prostoru. Oba alternativní přístupy jsou pro funkce karty zcela záměnné a mohou se v programu i kombinovat.

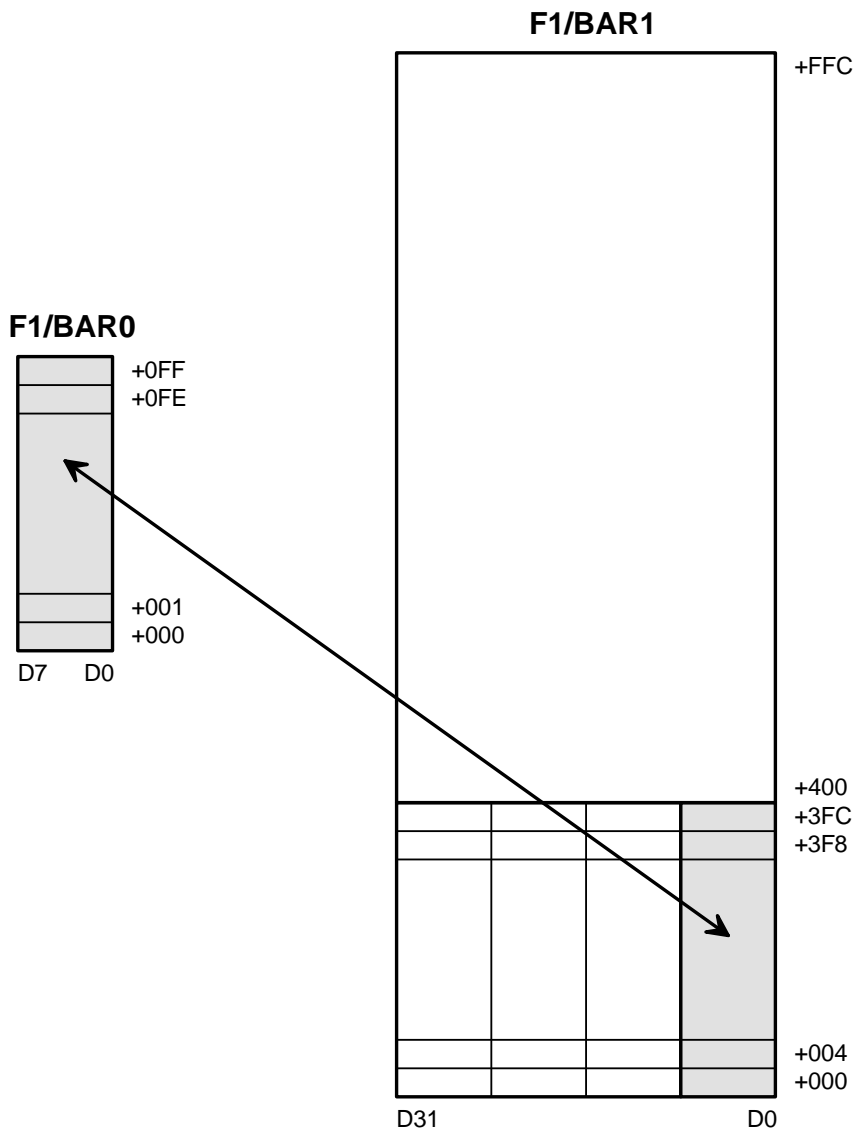
-  *Umožňuje-li operační systém 32bitové adresování, je výhodnější použít MEM přístup. I/O přístup je výhodný například v prostředí MS-DOS.*

Mapování registrů v obou prostorech však není totožné; zatímco I/O prostor využívá osmibitového přístupu (registry jsou tedy mapovány do bloku délky 256B a všechna data mají význam), MEM prostor využívá 32bitového přístupu; 256 registrů proto alokuje prostor 1kB s využitím pouze jedné čtvrtiny.

Zatímco přístup do I/O prostoru je tedy limitován na operace s osmibitovými daty, MEM prostor umožňuje pracovat s osmibitovými daty, 16bitovými daty (pouze sudé adresy) nebo 32bitovými daty (pouze adresy dělitelné čtyřmi); ve všech případech MEM přístupu však mají smysl pouze adresy dělitelné čtyřmi a významných je vždy pouze nejnižších osm bitů dat.

Na níže uvedeném obrázku je zakresleno mapování 256 registrů v I/O prostoru F1/BAR0 a v MEM prostoru F1/BAR1 (vyznačeno šedou výplní); adresy v obrázku jsou uvedené jako ofset od adresy přidělné BIOSem v BAR registrech.

 *Odlišné mapování má v praxi jediný důsledek; ofset adres registrů je v prostoru F1/BAR1 4x větší než v prostoru F1/BAR0. Přístup do registru na adrese F1/BAR0+1 je tedy ekvivalentní přístupu do registru na adrese F1/BAR1+4.*



CE



Výroba, servis, technická podpora:

adresa: TEDIA[®] spol. s r. o.
Zábělská 12, 31211 Plzeň
Česká republika

telefon: +420 373730421 (základní číslo)
+420 373730426 (technická podpora)

fax: +420 373730420

e-mail: podpora@tedia.cz

internet: <http://www.tedia.cz>

© 1994÷2010 TEDIA[®] spol. s r. o.