

PCT-7424

**24x čítač, DIO
IRQ, PCI BUS**

Záruční a pozáruční servis, technická podpora:

adresa: TEDIA[®] spol. s r. o., Zábělská 12, 31211 Plzeň
telefon: +420 377 478 168
fax: +420 377 478 169
e-mail: podpora_daq@tedia.cz
internet: <http://www.tedia.cz>, <http://www.pci.cz>

Uživatelská příručka a její součásti jsou autorským dílem chráněným ustanovením zákona č.121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů ("Autorský zákon").

Všechna jména a názvy použité v textu mohou být chráněnými známkami nebo obchodními názvy výrobků příslušných firem.

ES prohlášení o shodě

Prohlašujeme na svoji výlučnou odpovědnost, že technologické karty

PCT-7424

jsou ve shodě s normami

ČSN EN 55022:99 včetně změn
ČSN EN 61000-3-2:97 včetně změn
ČSN EN 61000-3-3:97 včetně změn
ČSN EN 55024:99 včetně změn

a nařízeními vlády

NV 168/1997 Sb.
NV 169/1997 Sb.
ve znění pozdějších předpisů

a nesou proto označení "CE".

Zkušební protokol:

203681-01 vydaný EZÚ Praha



Datum vydání ES prohlášení:

16.4.2003

Výrobce:

TEDIA® spol. s r. o., Zábělská 12, 31211 Plzeň

Odpovědný zástupce:

Ing. Martin Linda, jednatel společnosti

Podpis odpovědného zástupce:

A handwritten signature in black ink, reading 'Martin Linda', written in a cursive style.

Obsah

1.	Úvodní popis	
1.1.	Charakteristika	I - 1
1.2.	Podmínky použití	I - 1
2.	Technické parametry	
2.1.	Programovatelné čítače	I - 2
2.2.	Vstupní obvody	I - 2
2.3.	Digitální porty	I - 2
2.4.	Obvody přerušení	I - 2
2.5.	Ostatní údaje	I - 2
3.	Instalace karty	
3.1.	Úvod	I - 3
3.2.	Nastavení konfiguračních prvků	I - 3
3.3.	Vlastní instalace	I - 3
3.4.	Zapojení konektorů	I - 3
3.5.	Rozmístění významných prvků	I - 3
4.	PCI sběrnice, základní informace	
4.1.	Základní pojmy	I - 4
4.2.	Řadič OX9162	I - 4
4.3.	Implementace PCI BUS u PCT-7424	I - 5
4.4.	Porovnání MEM a I/O přístupu	I - 5
5.	Struktura adresového prostoru	
5.1.	Úvod	I - 6
5.2.	DINReg	I - 6
5.3.	DOUTrReg	I - 6
5.4.	IRQCfgReg	I - 7
5.5.	IRQStatusReg	I - 7
5.6.	IRQClrReg	I - 7
5.7.	TimerReg	I - 7
5.8.	INTEnReg	I - 8
5.9.	FPGA CtrlReg	I - 8
5.10.	FPGA StatusReg	I - 8
5.11.	CNTEnReg	I - 9
5.12.	CNTClrReg	I - 9
5.13.	CNTDataReg	I - 9
5.14.	CNTDataCWReg	I - 9
5.15.	RTDOReg	I - 10
5.16.	FPGA VerReg	I - 10

6.	Popis čítačů	
6.1.	Úvod	I - 11
6.2.	Zapojení vstupů	I - 11
6.3.	Programovatelná vstupní logika	I - 11
6.4.	Čítače	I - 11
7.	Popis řadiče přerušení	
7.1.	Úvod	I - 12
7.2.	Programová obsluha přerušení	I - 12
8.	Popis digitálních vstupů a výstupů	
8.1.	Úvod	I - 13
8.2.	Zapojení vstupů	I - 13
8.3.	Zapojení výstupů	I - 13
9.	Popis konfigurace FPGA	
9.1.	Úvod	I - 14
9.2.	Zjednodušený postup downloadu	I - 14

Přílohy:

Příloha II - tabulky

Příloha III - obrázky

Příloha IV - OX9162

1. Úvodní popis

1.1. Charakteristika

PC karta PCT-7424 je výrobek moderní koncepce určený zejména pro systémy laboratorní a průmyslové automatizace a jako doplněk multifunkčních PC karet.

K přednostem patří jednoduchá programová konfigurovatelnost parametrů. Při instalaci karty do počítače není nutné hardwarově nastavovat žádné parametry, všechny funkce karty jsou ovládány plně softwarově.

Karta PCT-7424 je určena pro počítače PC kompatibilní a musí být instalována do PCI slotu s podporou 5 V a 33 MHz.

Celkový pohled na desku PCT-7424 je zakreslen na obrázku Obr.1.

Karta PCT-7424 se vyznačuje zejména těmito vlastnostmi:

- pružně konfigurovatelné jádro karty postavené na FPGA s konfigurací zaváděnou z diskového souboru
- 24 čítačů s rozlišením 32 bitů
- programovatelná logika přerušení s generátorem časových značek
- standardní digitální porty (8 vstupů a 8 výstupů)
- rozšířené digitální výstupy (alternativně HC/TTL nebo 24V)
- PCI target interface kompatibilní s PCI rev. 2.2 (verze 32 bitů, 5 V, 33 MHz)

1.2. Podmínky použití

Karty vyhovují instalaci do počítačů se sběrnici PCI v kancelářském nebo průmyslovém provedení a jsou určeny zpracování signálů.

Signály mohou být připojeny vhodným stíněným vodičem o délce maximálně 2 m.

Karty řady PCT-7424 mohou být použity výhradně v souladu s doporučeními výrobce uvedenými v této příručce, obecně platnými normami či standardy a pouze takovým způsobem, aby jejich selháním zaviněným jakýmkoliv způsobem se nemohly stát nebezpečnými osobám nebo majetku.

2. Technické parametry


2.1. Programovatelné čítače

počet čítačů:	24	
rozlišení čítače:	32 bitů	
blokování čítače:	softwarově	
pracovní režimy čítače:	vzestupné čítání	
vstupní frekvence:	5 MHz max.	(viz pozn.)

 *Uvedena mezní frekvence s nesymetrií max. 40%/60%.*


2.2. Vstupní obvody

napěťové úrovně:	HC/TTL
vstupní impedance:	3,3 kOhm typ.
typ rozhraní:	TEDIA® - Cannon 25

 *Vstupy čítačů jsou odolné proti přepětí ±15 V.*

2.3. Digitální porty

počet vstupů:	8	(TTL komp.)
počet výstupů:	8 + 8	(TTL komp.)
zatěžovací impedance výstupů:	500 Ohm min.	(viz pozn.)


 *Vstupní porty jsou odolné proti přepětí ±24 V.
Výstupní digitální porty jsou odolné proti trvalému zkratu proti GND; přivedením napětí mimo rozsah 0÷5 V dojde k nevratnému poškození obvodů.*

2.4. Obvody přerušeni

zdroje přerušeni:	generátor časových značek (1 ~ 255 ms)
-------------------	--

2.5. Ostatní údaje

I/O a MEM adresa:	přiřazena PCI PnP BIOSem
IRQ kanál:	přiřazen PCI PnP BIOSem
napájecí napětí:	+5 V (200 mA max.)
rozměry desky:	cca 90 x 125 mm
použité konektory:	Cannon 25 - vidlice Cannon 9 - vidlice DIL10 (header 2x5 pinů, rastr 2.54mm)
pracovní teplota:	0° ~ 65° C
skladovací teplota:	-20° ~ 80° C
relativní vlhkost:	10% ~ 90%, bez kondenzace
doporučená délka vodičů:	do 2 m

 *Uvedený proudový odběr je uvažován se všemi výstupy v nezátíženém stavu.*

3. Instalace karty

3.1. Úvod

Při výrobě bylo dbáno na dosažení vysoké kvality a spolehlivosti, rovněž byla věnována pozornost důkladné kontrole před expedicí. Aby nedošlo ke snížení jakosti či poškození při instalaci, doporučujeme Vám pečlivě prostudovat tuto příručku a postupovat podle uvedeného návodu.

Nebudete-li si jisti některým z kroků instalace, obraťte se na technickou podporu výrobce (informaci o aktuálním spojení naleznete na <http://www.tedia.cz>).

3.2. Nastavení konfiguračních prvků

Karta PCT-7424 neobsahuje žádné konfigurační prvky.

3.3. Vlastní instalace



Důležité upozornění:

Při instalaci karty dbejte zásad pro manipulaci s obvody citlivými na poškození elektrostatickým nábojem, s kartou manipulujte pouze za okraje a nedotýkejte se prsty součástek.

Instalaci provádějte zásadně při vypnutém počítači a vždy odpojte síťový kabel i ostatní přírodní vodiče !

Mimo počítač mohou být karty skladovány výhradně v antistatickém obalu.

Při nedodržení uvedených pravidel může dojít k poškození citlivých obvodů PC karty nebo celého počítače. V případě nejasností kontaktujte technickou podporu výrobce.

Kartu zasuňte po předchozím vyjmutí krycího štítku do volné pozice pro rozšiřující desky počítače a zajistěte šroubem.

Budou-li využity i digitální porty, upevněte redukční kabel DIG-209 do sousední pozice a zapojte kabely; orientace konektorů je vyznačena na obrázku Obr.1., první vodič plochého kabelu je zvýrazněn červenou barvou.



Redukční kabel DIG-209 není součástí dodávky karty a lze jej objednat samostatně.

3.4. Zapojení konektorů

Zapojení vývodů konektorů je zakresleno na obrázku Obr.2.; popis signálů je uveden v tabulkách Tab.1. až Tab.3.

V případě využití redukčního kabelu DIG-209 pro zpřístupnění digitálních portů na zadním panelu počítače je zapojení konektorů Cannon 9 popsáno v Tab.4.

3.5. Rozmístění významných prvků

Rozmístění konektorů na kartě PCT-7424 je zakresleno na obrázku Obr.1.

4. PCI sběrnice, základní informace

4.1. Základní pojmy

PCI-SIG	PCI Special Interest Group, organizace zajišťující standardizaci PCI sběrnice. PCI-SIG sídlí v Portlandu/USA, má přibližně 1000 řádných členů a TEDIA® je jedním z nich.
PCI konfigurační registry	slouží pro PnP identifikaci karty, zjištění jejích vlastností (zejména z pohledu PCI sběrnice), požadavků na systémové prostředky a jejich přidělení. PCI konfigurační registry obsahují řadu informací významných pro ovladače a aplikační software, zejména VID/DID, BAR registry, ... PCI registry nejsou určeny pro vlastní funkční přístupy (tzn. datové přenosy) a jsou zpřístupněny speciálními sběrnicovými cykly výhradně rozhraním PCI BIOSu; podrobnost lze čerpat ze specifikace PCI BIOS v aktuálním znění.
VID	Vendor ID, unikátní číslo výrobce adaptéru přidělené organizací PCI-SIG jejím členům.
DID	Device ID, unikátní číslo typu PCI karty přidělené výrobcem adaptéru. Číslo může být přiděleno výhradně držitelem příslušného VID.
Subsystem VID/ID	čísla umožňující identifikovat výrobce karty při zachování VID/ID výrobce chipsetu. Je využíváno zejména u implementací standardních řadičů (grafických akcelerátorů, Ethernet řadičů, ...) a umožňuje využití společných driverů.
Class Code	umožňuje zařadit PC kartu do některé předdefinované třídy adaptérů a v některých případech využít společné softwarové podpory.
BAR0 až BAR4	Base Address Register, tzn. bázeový registr paměťového nebo I/O prostoru. Jednofunkční PCI karta může alokovat až 5 prostorů.

4.2. Řadič OX9162

Použitý řadič se vyznačuje následujícími vlastnostmi:

- 32bit./5V/33MHz target interface kompatibilní s PCI rev. 2.2 (tzn. není podporován busmastering)
- implementace celé sady PCI konfiguračních registrů
- implementace všech pěti BAR registrů
- 8-bitová pass-through lokální sběrnice s podporou přerušení
- konfigurace chipsetu prostřednictvím EEPROM

4.3. Implementace PCI BUS u PCD-7424

Funkci řadiče PCI sběrnice plní obvod OX9162 s I/O a MEM prostory konfigurovanými v maximálním možném rozsahu.

Karta využívá následujících PCI ID:

VID	1760 _H	tzn. VID přidělené TEDIA®
DID	0123 _H	tzn. DID přidělené kartě PCD-7424
Sub VID	1760 _H	totéž jako VID
Sub ID	0004 _H	verze karty (aktuální při vydání manuálu)
Class Code	118000 _H	třída "other data acquisition adapter"

Využití BAR prostorů:

BAR0	mapován jako I/O, slouží pro přístup k první polovině registrů; u PCT-7424 je konfigurován na velikost 256B s datovou strukturou byte
BAR1	mapován jako I/O, slouží pro přístup k první polovině registrů; u PCT-7424 je konfigurován na velikost 256B s datovou strukturou byte
BAR2	mapován jako I/O, slouží pro přístupu k konfiguračním registrům chipsetu OX9162; je konfigurován na velikost 32B s datovou strukturou byte/word/double word
BAR3	mapován jako MEM, slouží pro přístup ke konfiguračním registrům chipsetu OX9162 (má totožný význam jako BAR2); je konfigurován na velikost 4kB s datovou strukturou byte/word/double word
BAR4	mapován jako MEM, slouží pro přístupu ke všem funkčním registrům; je konfigurován na velikost 4kB s datovou strukturou double word (avšak významných 8 nejnižších bitů)

Podrobnější informace k mapování registrů v jednotlivých prostorech jsou uvedeny v příloze tohoto manuálu.

4.4. Porovnání MEM a I/O přístupu

PCI specifikace definuje dva typy registrových prostorů - I/O a paměťový (MEM). Řada adaptérů umožňuje alternativní užití obou typů a periferní obvody mapuje současně do obou prostorů (prostřednictvím dvou BAR).

MEM	prostor existuje na všech hardwarových platformách (tzn. nejen na systémech s procesory Intel x86) a je mj. i proto preferován; jelikož 32-bitové adresování umožňuje mapovat až 4GB paměti, není velikost alokovaného prostoru z praktického hlediska nijak významně omezoována; přístup k perifériím mapovaných přes paměťový prostor je oproti I/O přístupu rychlejší, nebo alespoň není pomalejší; MEM přístup však vyžaduje 32bitové adresování
I/O	prostor je s ohledem na zpětnou kompatibilitu s 10bitově adresovanými systémy omezen na 63 intervalů o velikosti 256B; žádný adaptér tedy nemůže alokovat kontinuální prostor o velikosti větší než 256B; výhodou však je jednoduchá podpora v reálném módu procesorů Intel x86 (tzn. například v systému MS-DOS)

5. Struktura adresového prostoru

5.1. Úvod

Následující popis bude uvažovat přístup prostřednictvím prostoru BAR4; v případě využití I/O přístupů (tzn. BAR0/1) jsou adresy registrů modifikovány podle přiřazení uvedeného v příloze tohoto manuálu.

Všechny adresy (např. BAR4+80h) v dalším textu jsou uvedeny v hex formátu. Čtení a zápis do nedokumentovaných registrů není z důvodu dopředné kompatibility přípustný.



Důležité upozornění:

Registry v rozsahu adres BAR4+0h ~ BAR4+3FCh jsou dostupné po zapnutí počítače, registry BAR4+400h ~ BAR4+7FCh jsou implementovány v FPGA a pro jejich funkci je nezbytný download konfiguračních dat.

Pro download konfiguračních dat lze použít dodávanou utilitu nebo download začlenit do vlastního software.

Všechny registry implementované v FPGA (tzn. BAR4+400h ~ BAR4+7FCh) jsou po downloadu nastaveny na nulovou hodnotu. Do výchozího stavu mohou být registry uvedeny i pomocí FRST v FPGACtrlReg.

Všechny 24bitové a 32bitové registry by důvodu dopředné kompatibility měly být zpracovávány v pořadí od nejnižší po nejvyšší adresu.



Důležité upozornění:

Registrová struktura popsaná v příručce odpovídá FPGA verze 1.0 a vyšší (do 1.15).

5.2. DINReg (RD, BAR4+0)

Tento registr plní funkci datového registru vstupního digitálního portu.

Význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru.

D7	D6	D5	D4	D3	D2	D1	D0
DIN7	DIN6	DIN5	DIN4	DIN3	DIN2	DIN1	DIN0

5.3. DOUTReg (WR, BAR4+4)

Tento registr plní funkci datového registru výstupního digitálního portu.

Význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru.

Registr nemá po resetu definován stav; obsah dat lze však modifikovat přeprogramováním obsahu EEPROM.

D7	D6	D5	D4	D3	D2	D1	D0
DOUT7	DOUT6	DOUT5	DOUT4	DOUT3	DOUT2	DOUT1	DOUT0

5.4. IRQCfgReg (WR, BAR4+200h)

Tento registr slouží k povolení detekce požadavku o přerušení (tzn. umožní nastavení příznaků v IRQStatusReg), ne však pro povolení vyvolání přerušení (viz popis INTEnReg); podrobně viz obrázek Obr.5.


Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV			TIM	RSRV			

TIM

- konfigurace přerušení od generátoru časových značek (0 = přerušení zakázáno, 1 = přerušení povoleno)

 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena hodnota 0.*


5.5. IRQStatusReg (RD, BAR4+200h)

Tento registr slouží k identifikaci zdroje přerušení.

Struktura registru je totožná s IRQCfgReg a význam jednotlivých bitů je následující:

TIM

- přerušení vyvoláno generátorem časových značek (1 = příznak je aktivní, tzn. bylo vyvoláno přerušení)

 *Rezervní bity nemají pro funkci desky žádný význam (nastavena hodnota 0). Příznaky jsou funkční nezávisle na aktivaci logiky přerušení registrem INTEnReg.*

5.6. IRQClrReg (WR, BAR4+204h)


Tento registr slouží k nulování příznaků nastavených přerušení v IRQStatusReg.

Registr má funkci automatického nulování a zápis hodnoty 1 tak nevyžaduje následný zápis hodnoty 0 (registr je nastaven na hodnotu 1 po dobu 60ns a po tuto dobu není zpracováván příslušný kanál přerušení).

Struktura registru je totožná s IRQCfgReg a význam jednotlivých bitů je následující:

TIM

- nulování příznaku od generátoru časových značek (1 = příznak vynulován, následný zápis 0 není vyžadován)

 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena hodnota 0.*

5.7. TimerReg (WR/RD, BAR4+5F0h)

Tento registr slouží k nastavení frekvence (resp. periody) interního generátoru časových značek.

Zapsaná osmibitová data umožňují konfigurovat periodu časových značek v rozsahu 1~255 ms; zápisem hodnoty 0 dojde k zastavení generátoru.

Registr je po resetu, resp. zapnutí počítače vynulován.

Ve funkci čtení poskytuje registr aktuální hodnotu časovače; data v rozsahu 0~(TimerReg-1) jsou inkrementována frekvencí 1kHz.

5.8. INTEnReg (WR, BAR4+20Ch)

Tento registr slouží k aktivaci obvodů karty pro vyvolání přerušení PCI sběrnice, tzn. k povolení požadavku o přerušení systému, a současně nulování tohoto požadavku (je provedeno zakázáním a opětovným povolením přerušení).


Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
INTEN	RSRV						

INTEN

- 0 = obvody karty přerušení PCI sběrnice neaktivní
- 1 = obvody karty přerušení PCI sběrnice aktivovány

 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena hodnota 0.*

5.9. FPGACtrlReg (WR, BAR4+3FCh)

Tento registr slouží pro download konfiguračních dat FPGA a pro normální činnost karty není zpravidla využíván. Podrobnosti jsou uvedeny v samostatné kapitole.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV					FRST	CSDW	STDW

STDW

- sekvence 0-1-0 zahajuje download konfigurace

CSDW

- hodnotou 1 aktivuje přenos do FPGA

FRST

- hodnotou 1 nastavuje registry FPGA do implicitního stavu (lze s výhodou využít i v běžném aplikaci, viz poznámka)

RSRV

- rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)


 *Všechny registry implementované v FPGA (tzn. BAR4+400h ~ BAR4+7FCh) jsou po downloadu nebo resetu nastaveny na nulovou hodnotu.*

5.10. FPGAStatusReg (RD, BAR4+3FCh)

Tento registr slouží pro dowload konfiguračních dat FPGA a pro normální činnost karty není využíván. Podrobnosti jsou uvedeny v samostatné kapitole.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV		RDY	SPDW	RSRV	FPGACtrlReg		

- SPDW • hodnotou 1 signalizuje FPGA úspěšné ukončení programování
- RDY • hodnotou 1 signalizuje FPGA připravenost k zápisu dat
- RSRV • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)
- FPGACtrlReg • kopie odpovídajících bitů registru FPGACtrlReg

 Podrobný popis registru je uveden v samostatné kapitole

5.11. CNTEnReg (WR, BAR4+400h/404h/408h)

Tento registr slouží k řízení všech 24 čítačů.

Každý čítač má vyhrazen jeden řídicí bit (bit D0 na adrese 400h ovládá CNT0, bit D7 na adrese 408h ovládá CNT23); logickou úrovní 1 je čítání povoleno, úrovní 0 je čítání blokováno.

Z důvodu synchronního ovládání čítačů je nezbytné provést vždy zápis do všech tří registrů v pořadí adres 400h, 404h a 408h.


5.12. CNTClrReg (WR, BAR4+410h/414h/418h)

Tento registr slouží k řízení nulování 24 čítačů.

Každý čítač má vyhrazen jeden řídicí bit (bit D0 na adrese 410h ovládá CNT0, bit D7 na adrese 418h ovládá CNT23); logickou úrovní 1 je čítač vynulován.

Registr má funkci automatického nulování a zápis hodnoty 1 tak nevyžaduje následný zápis hodnoty 0 (registr je nastaven na hodnotu 1 po dobu 60ns a po tuto dobu není zpracováván příslušný vstupní signál).

Narozdíl od CNTEnReg lze k registrům CNTClrReg přistupovat individuálně.

 V případě potřeby synchronního vynulování všech čítačů je potřeba nejprve zastavit čítání pomocí CNTEnReg, čítače vynulovat a následně opět povolit čítání.

5.13. CNTDataReg (RD, BAR4+400h~40Ch)

Tento záchytný registr slouží ke čtení obsahu všech 24 čítačů a aktuálního stavu vstupních signálů čítačů.

K přenesení dat do tohoto registru slouží CNTDataCWRReg; po zachycení hodnoty požadovaného čítače nebo stavu vstupů lze provést čtení stabilního údaje. Z důvodu dopředné kompatibility lze doporučení čtení v pořadí nejnižším bytem počínaje.

5.14. CNTDataCWRReg (WR, BAR4+420h)

Tento registr slouží k zachycení požadovaných dat do CNTDataReg.

Význam jednotlivých příkazů je následující:

- 0 do CNTDataReg je zachycen aktuální stav CNT0
- 1 do CNTDataReg je zachycen aktuální stav CNT1
-

- 23 do CNTDataReg je zachycen aktuální stav CNT23
- 128 do CNTDataReg je zachycen aktuální stav vstupních signálů čítačů (platná data na adresách 400h, 404h a 408h)

5.15. RTDOReg (WR, BAR4+5A0h)

Tento registr slouží jako datový registr pro rozšířené digitální výstupy.

Registr je downloadu konfigurace FPGA vynulován.

5.16. FPGAVerReg (WR, BAR4+5FCh)

Tento poskytuje verzi FPGA ve formátu [D7~D4.D3~D0], tedy "0.0" až "15.15".



Důležité upozornění:

Registrová struktura popsaná v příručce odpovídá FPGA verze 1.0 a vyšší (do 1.15).

6. Popis čítačů

6.1. Úvod

Karty PCT-7424 obsahují 24 nezávislých 32bitových čítače s možnostmi čítání vpřed, povolení a zastavení čítání a nulování.

Jádrem karty je výkonné FPGA konfigurované z diskového souboru při každém startu počítače, případně kdykoliv aplikační program vyžaduje (v případě více různých konfiguračních souborů).

6.2. Zapojení vstupů

Vstupní obvody jsou kompatibilní s úrovněmi HC/TTL s zatěžovacím charakterem cca 3x vstupů ("pull-up" rezistor má hodnotu 3,3 kOhm).

Vstupní obvody jsou vybaveny komparátory s hysterezí a do značné míry potlačují riziko načítání falešných pulsů vlivem malé strmosti hran vstupního signálu.

6.3. Programovatelná vstupní logika

Vstupní logika čítače umožňuje povolit nebo zastavit čítání; tato funkce je řešena jako synchronní pro všechny čítače.

6.4. Čítače

Čítače reagují na sestupnou hranu vstupního signálu, umožňují pouze vzestupné čítání. Čítače nelze přednastavit, nýbrž pouze nulovat.

7. Popis řadiče přerušení

7.1. Úvod

Karta PCT-7424 je vybavena programovatelnou logikou s možností vyvolání přerušení generátorem časových značek.

Jelikož volba IRQ kanálu je dána PnP mechanismy PCI BIOSu, následující odstavce budou věnovány pouze volbě zdroje přerušení s ohledem na praktické využití.

7.2. Programová obsluha přerušení

Zjednodušený algoritmus programové obsluhy je popsán v následujícím postupu:

-> **inicializace**

1. program nainstaluje přerušovací rutinu na IRQ kanál přidělený BIOSem (viz popis PCI konfiguračních registrů v příloze manuálu)
2. program vynuluje případné nezpracované příznaky pomocí IRQClrReg (IRQClrReg=FFh) a povolí obvody přerušovací linky (INTEnReg=80h)
3. program povolí požadované zdroje přerušení na kartě (např. IRQCfgReg=00010000 povolí přerušení od generátoru časových značek)
4. je-li vyžadován, program spustí generátor časových značek (např. TimerReg=25 nastaví periodické přerušení od časovače na hodnotu 25 ms)

-> **po příchodu události je vyvoláno přerušení**

- obsluha přerušení** (tzv. ISR) uvolní INTA sběrnice pomocí INTEnReg (zápisem INTEnReg=0h a následně INTEnReg=80h), ukončí rutinu v řadiči přerušení (resp. přenechá řízení další ISR) a předá zprávu aplikačnímu programu
5. program přečte IRQStatusReg a identifikuje přerušení (IRQStatusReg=00010000 znamená, že přerušení bylo vyvoláno časovačem)
 6. program vynuluje IRQStatusReg pomocí IRQClrReg (pro daný případ IRQClrReg=00010000)
 7. program znovu přečte IRQStatusReg a je-li nenulový, identifikuje přerušení a smaže jeho příznak podle bodu 6.

-> **ukončení programu**

8. program vynuluje registry INTEnReg a IRQCfgReg, zastaví časovač vynulováním TimerReg, eventuálně vynuluje nezpracované příznaky pomocí IRQClrReg, a odinstaluje přerušovací rutinu

8. Popis digitálních vstupů a výstupů

8.1. Úvod

PC karty řady PCT-7424 obsahují kromě 8 "real-time" výstupů (umístěny na konektoru Cannon 9) rovněž 8 vstupních kanálů a 8 kanálů výstupních; signály obou portů jsou umístěny na dvou konektorech DIL10.

V případě potřeby lze použít redukční kabel DIG-209, který převede signály z obou konektorů DIL10 na 2x Cannon 9.

8.2. Zapojení vstupů


Pro realizaci vstupů bylo využito obvodů technologie HCTMOS. Jejich výhodné vlastnosti (vysoká vstupní impedance a zanedbatelný vstupní proud, ochranné diody) byly využity pro přepětovou ochranu do $\pm 24V$.

Protože klidový stav vstupů odpovídá logické úrovni H (ošetřeno rezistory 10kOhm proti napětí +5V), lze je použít i pro připojení signálů typu "otevřený kolektor".

8.3. Zapojení výstupů

Pro realizaci výstupů bylo využito obvodů technologie HCMOS. Pro jejich výhodné vlastnosti (vysoký výstupní proud a zanedbatelný napěťový úbytek) je lze využít pro přímé buzení LED, optronů, popř. i miniaturních relé 5V/500 Ohm.

Elektrické vlastnosti rozšířených výstupů jsou totožné s vlastnostmi standardních digitálních portů.

 *Signály rozšířených výstupů jsou standardně HC/TTL kompatibilní; alternativně však mohou být řešeny jako "NPN-otevřený kolektor" s parametry 24V/50mA (nejsou ale určeny pro přímé spínání indukční zátěže !).*

9. Popis konfigurace FPGA

9.1. Úvod

Funkce čítačů a komparátorů je u PC karet řady PCT-7424 realizována na bázi hradlové pole - FPGA - vyžadujícího download konfiguračních dat z diskového souboru při každém zapnutí počítače. Tato nevýhoda je vyvážena možností jednoduchého upgrade a v neposlední řadě výrazně nižší cenou než jiná řešení.

Dále uvedený postup znázorňuje algoritmus funkcí potřebných pro download; pro běžné účely je dodávána programovací utilita (verze pro MS-DOS a Windows).

9.2. Zjednodušený postup downloadu

Pro download jsou využívány tyto tři registry:

FPGACtrlReg	registr pro řízená přenosu (WR, BAR4+3FCh)
FPGAStatusReg	registr pro stavové příznaky (RD, BAR4+3FCh)
FPGADwldReg	registr pro přenos dat (WR, BAR4+400h) (v běžném režimu není tento registr dostupný)

Postup (výchozí stav FPGACtrlReg = 00h):

1. program zahájí download postupnými zápisy FPGACtrlReg = 01h a FPGACtrlReg = 00h; FPGAStatusReg je nastaven na hodnotu 20h a FPGA je připraveno pro download konfiguračních dat
2. program aktivuje programovací sekvenci zápisem FPGACtrlReg = 02h
3. program otevře soubor s konfiguračními daty, načte první byte a zapíše jej do registru FPGADwldReg
FPGAStatusReg na zápis reaguje změnou na hodnotu 02h (signalizuje, že přenos dat uvnitř FPGA probíhá) a následně po max. 1,6 μ s zpět na 22h (~ FPGA RDY)
4. program vyčkává na nastavený příznak RDY v registru FPGAStatusReg nebo na nastavený příznak SPDW (tzn. 10h)
5. program postupně podle bodů 3 a 4 zapíše do FPGA celý obsah souboru
6. program ukončí programovací sekvenci zápisem FPGACtrlReg = 00h a FPGAStatusReg po ukončení programování setrvá ve stavu 10h; zůstane-li po ukončení programování v registru FPGAStatusReg hodnota 20h, přenos dat neproběhl úspěšně a je potřeba jej opakovat



Důvodem pro nesprávné naprogramování FPGA může být chyba v programu nebo nesprávný či poškozený konfigurační soubor.

funkce	PIN	PIN	funkce
CNT0	C1		
CNT2	C2	C14	CNT1
CNT4	C3	C15	CNT3
CNT6	C4	C16	CNT5
CNT8	C5	C17	CNT7
CNT10	C6	C18	CNT9
CNT12	C7	C19	CNT11
CNT14	C8	C20	CNT13
CNT16	C9	C21	CNT15
CNT18	C10	C22	CNT17
CNT20	C11	C23	CNT19
CNT22	C12	C24	CNT21
GND	C13	C25	CNT23

Tab.1. Zapojení vývodů konektorů Cannon 25.

funkce	PIN	PIN	funkce
X-DOUT0	C1		
X-DOUT2	C2	C6	X-DOUT1
X-DOUT4	C3	C7	X-DOUT3
X-DOUT6	C4	C8	X-DOUT5
GND	C5	C9	X-DOUT7

Tab.2. Zapojení vývodů konektorů Cannon 9.



Signály X-DOUT portu jsou standardně HC/TTL kompatibilní; alternativně však mohou být řešeny jako "NPN-otevřený kolektor" s parametry 24V/50mA (nejsou ale určeny pro přímé spínání indukční zátěže!).

funkce	PIN	PIN	funkce
<i>DIN0 / DOUT0</i>	<i>D1</i>	<i>D2</i>	<i>DIN1 / DOUT1</i>
<i>DIN2 / DOUT2</i>	<i>D3</i>	<i>D4</i>	<i>DIN3 / DOUT3</i>
<i>DIN4 / DOUT4</i>	<i>D5</i>	<i>D6</i>	<i>DIN5 / DOUT5</i>
<i>DIN6 / DOUT6</i>	<i>D7</i>	<i>D8</i>	<i>DIN7 / DOUT7</i>
<i>GND</i>	<i>D9</i>	<i>D10</i>	<i>+5V</i>

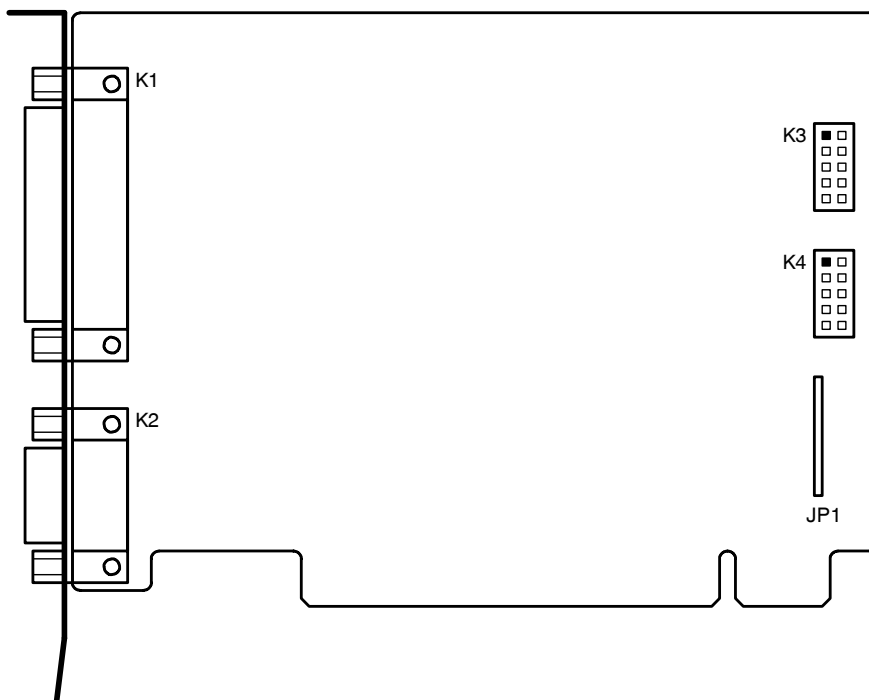
Tab.3. Zapojení vývodů konektoru DIL 10.

funkce	PIN	PIN	funkce
<i>DIN0 / DOUT0</i>	<i>C1</i>		
<i>DIN2 / DOUT2</i>	<i>C2</i>	<i>C6</i>	<i>DIN1 / DOUT1</i>
<i>DIN4 / DOUT4</i>	<i>C3</i>	<i>C7</i>	<i>DIN3 / DOUT3</i>
<i>DIN6 / DOUT6</i>	<i>C4</i>	<i>C8</i>	<i>DIN5 / DOUT5</i>
<i>GND</i>	<i>C5</i>	<i>C9</i>	<i>DIN7 / DOUT7</i>

Tab.4. Zapojení vývodů konektorů Cannon 9 redukčního kabelu DIG-209.

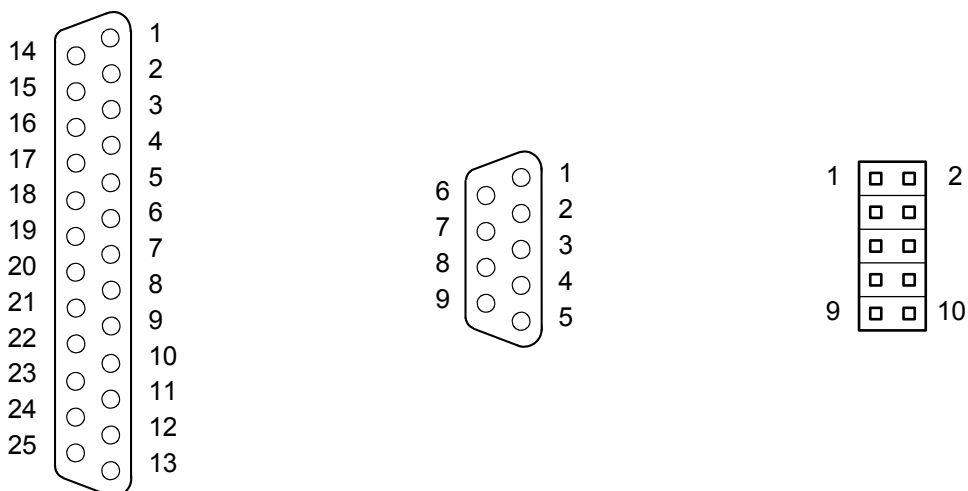
adresa registru (hex)	funkce registru
<i>BAR4+000</i>	<i>DIOReg0 - registr digitálních vstupů</i>
<i>BAR4+004</i>	<i>DIOReg1 - registr digitálních výstupů</i>
<i>BAR4+008 ÷ BAR4+1FC</i>	<i>rezerva</i>
<i>BAR4+200</i>	<i>IRQCfgReg, IRQStatusReg - registry obvodů přerušení</i>
<i>BAR4+204</i>	<i>IRQClrReg - řídicí registr obvodů přerušení</i>
<i>BAR4+208</i>	<i>rezerva (obvyklý TimerReg přemístěn na adresu 5F0)</i>
<i>BAR4+20C</i>	<i>INTEnReg - řídicí registr obvodů přerušení</i>
<i>BAR4+210 ÷ BAR4+3F8</i>	<i>rezerva</i>
<i>BAR4+3FC</i>	<i>registr pro download obsahu FPGA</i>
<i>BAR4+400 ÷ BAR4+420</i>	<i>registry pro řízení čítačů, registry pro čtení čítačů</i>
<i>BAR4+424 ÷ BAR4+59C</i>	<i>rezerva</i>
<i>BAR4+5A0</i>	<i>X-DOReg, datový registr</i>
<i>BAR4+5A4 ÷ BAR4+5EC</i>	<i>rezerva</i>
<i>BAR4+5F0</i>	<i>TimerReg - generátor časových značek</i>
<i>BAR4+5F4, BAR4+5F8</i>	<i>rezerva</i>
<i>BAR4+5FC</i>	<i>verze FPGA, formát [D7~D4.D3~D0]</i>
<i>BAR4+600 ÷ BAR4+7FC</i>	<i>rezerva</i>

Tab.5. Struktura adresového prostoru karty.



Obr.1. Rozmístění důležitých prvků na kartě PCT-7424.

- K1 konektor čítačových vstupů (Cannon 25 - vidlice)
- K2 konektor rozšířených digitálních výstupů (Cannon 9 - vidlice)
- K3 konektor standardních digitálních výstupů
- K4 konektor standardních digitálních vstupů
- JP1 konektor určený pouze pro servisní účely



Obr.2. Rozmístění vývodů na konektorech Cannon 25, Cannon 9 a DIL 10.

Prázdná Strana

1. PCI bridge OX9162


1.1. PCI konfigurační registry

Popis vychází z "PCI local bus specification revision 2.2" vydané 18. prosince 1998. Softwarový interface pro přístup do PCI konfiguračních registrů je popsán ve specifikaci PCI BIOS (aktuálně rev. 2.1 z 26.8.1994).

Offset	Data			
	31 24	23 16	15 08	07 00
+00 _H	Device ID (= DID)		Vendor ID (= VID)	
+04 _H	Status		Command	
+08 _H	Class Code			Revision ID
+0C _H	BIST	Header Type	Reserved	Reserved
+10 _H	Base Address Register 0 (BAR0)			
+14 _H	Base Address Register 1 (BAR1)			
+18 _H	Base Address Register 2 (BAR2)			
+1C _H	Base Address Register 3 (BAR3)			
+20 _H	Base Address Register 4 (BAR4)			
+24 _H	Reserved			
+28 _H	Reserved			
+2C _H	Subsystem ID (= Sub ID)		Subsystem VID (= Sub VID)	
+30 _H	Reserved			
+34 _H	Reserved			Cap_Ptr
+38 _H	Reserved			
+3C _H	Reserved	Reserved	Interrupt Pin	Interrupt Line
+40 _H	nepovinná část			
...				
+FF _H				

Obsah důležitých registrů:

VID	1760 _H	TEDIA
DID	definuje typ karty TEDIA	
Class Code	118000 _H	"other data acquisition adapter"
BAR0-BAR4	PnP	bázové adresy prostorů přiřazené PCI BIOSem
Sub VID	1760 _H	TEDIA
Sub ID	podle registrové verze karty	
Interrupt Pin	číslo IRQ kanálu (0 = žádný, 2 = IRQ2, 3 = IRQ3, ... , 15 = IRQ15)	

 Popis ostatních registrů lze nalézt v PCI BUS specifikaci.


1.2. Struktura Base Address Register

Obsah bázových registrů (Base Address Register) je definován PCI BIOSem a aplikace jej nesmí modifikovat; smí jej pouze číst.

Registr má strukturu odlišnou pro MEM a I/O mapování, viz dále:


D31 ... D4	D3	D2	D1	D0
BASE (31-4)	PREF	Type		0

0	určuje MEM prostor
Type	0 0 umístěno v 32-bitovém adresovém prostoru
	0 1 rezerva
	1 0 umístěno v 64-bitovém adresovém prostoru
	1 1 rezerva
PREF	0 funkce "prefetch" není povolena (viz. poznámka)
	1 funkce "prefetch" je povolena (viz. poznámka)
BASE (31-4)	bázová adresa v MEM prostoru (registr obsahuje vyšších 28 bitů; skutečná adresa vznikne operací ADR = BAR and FFFFFFFF0); v případě BASE(31-4)=0 nebyl MEM prostor BIOSem přidělen

 *Funkce "prefetch" není řadičem OX9162 podporována.*

D31 ... D1	D0
BASE (31-1)	1

1	určuje I/O prostor
BASE (31-1)	bázová adresa v I/O prostoru (registr obsahuje vyšších 31 bitů; skutečná adresa vznikne operací ADR = BAR4 and FFFFFFFFE); v případě BASE(31-1)=0 nebyl I/O prostor BIOSem přidělen

 *Přestože Intel x86 architektura pracuje s 16-bitovým I/O adresováním, je podle PCI specifikace nezbytné plné 32-bitové dekódování adresy. Nicméně v počítačích třídy PC obsahuje BIOSem nastavená adresa nulové bity D31-D16 a proto lze I/O přístupy s výhodou využít i v reálném módu Intel x86 procesoru.*

Struktura registru BAR uvedená výše je popsána z pohledu aplikačního software (resp. aplikačního ovladače), kdy BAR poskytuje přiřazenou bázovou adresu, avšak nikoliv velikost prostoru. Tento údaj musí aplikace převzít ze znalosti PCI chipsetu.

Registr má odlišný význam pro detekční procedury PCI BIOSu a metodou "pevně nulovaných" bitů umožní předat i informaci o požadavku na velikost prostoru.

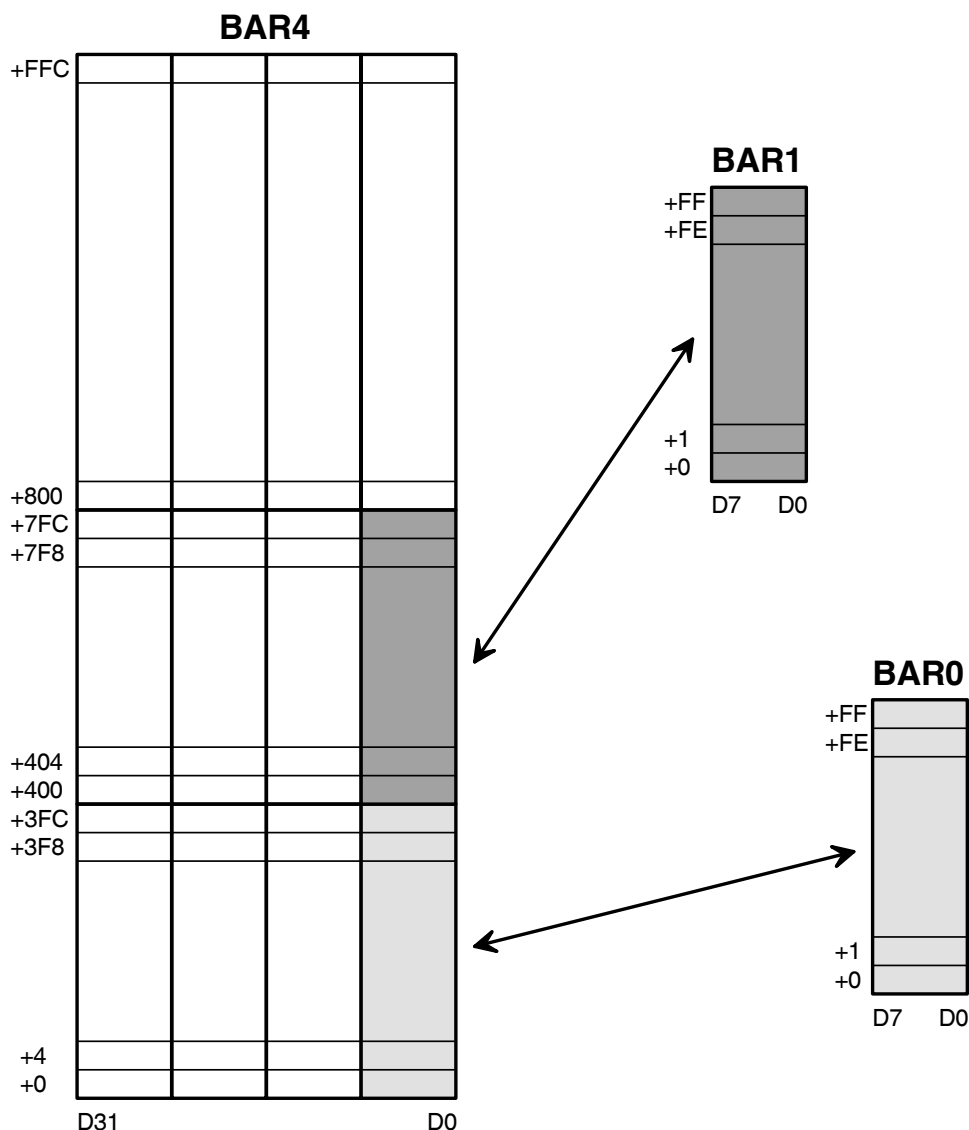
Všechny karty TEDIA s chipsetem OX9162 mají konfigurovány prostory:

BAR0	256B I/O, určen pro přístup do funkčních registrů
BAR1	256B I/O, určen pro přístup do funkčních registrů
BAR2	32B I/O, určen pro přístup dokonfiguračních registrů OX9162
BAR3	4kB MEM, určen pro přístup dokonfiguračních registrů OX9162
BAR4	4kB MEM, určen pro přístup do funkčních registrů

1.3. Mapování registrů v BAR0, BAR1 a BAR4

Lokální "pass-through" sběrnice disponuje rozsahem až 512 registrů (tuto konfiguraci využívají všechny karty TEDIA[®] osazené chipsetem OX9162) a umožňuje tyto registry mapovat současně v MEM i I/O PCI prostoru. Oba alternativní přístupy jsou z pohledu registrů zcela záměnné.

Na níže uvedeném obrázku je zakresleno mapování funkčního registrového bloku o efektivní velikosti 512B do celkových 4kB (~1k x 32) prostoru BAR4 (využitá část prostoru je vyznačena šedou výplní; zbývající registry MEM prostoru jsou rezervovány) a znázorněn alternativní přístup prostřednictvím dvou I/O prostorů BAR0/BAR1 s kapacitou 2x 256B.



Příklad:

$RD[BAR0+01_H] \sim RD[BAR4+04_H]$

$WR[BAR1+FF_H] \sim WR[BAR4+7FC_H]$

Prázdná Strana

