

# PCA-1282

8x 12-bit. ADC

2x 12-bit. DAC

CNT, IRQ, DIO

## Důležité upozornění !

Při zacházení s modulem dbejte zásad manipulace s obvody citlivými na poškození elektrostatickým nábojem.

Instalaci provádějte zásadně při vypnutém počítači a vždy odpojte síťový kabel a přívodní vodiče!

Při nedodržení uvedených pravidel může dojít k trvalému poškození citlivých obvodů modulu nebo celého počítače.

Uživatelská příručka a její součásti jsou autorským dílem chráněným ustanovením zákona č. 35/1965 Sb. o dílech literárních, vědeckých a uměleckých (Autorský zákon) ve znění zákona č. 89/1990 Sb., zákona č. 468/1991 Sb., zákona č. 318/1993 Sb., zákona č. 237/1995 Sb. a zákona č. 86/1996 Sb.

Všechna jména a názvy použité v textu mohou být chráněnými známkami nebo obchodními názvy výrobků příslušných firem.

© 1994-2001 TEDIA spol. s r. o.

Záruční a pozáruční servis:

TEDIA spol. s r. o., Zábělská 12, 312 11 Plzeň 12

telefon: 019 7478168  
fax: 019 7478169  
e-mail: [tedia@tedia.cz](mailto:tedia@tedia.cz)  
internet: <http://www.tedia.cz>

## Obsah

<b>1.</b>	<b>Úvodní popis</b>	
1.1.	Charakteristika	I - 1
<b>2.</b>	<b>Technické parametry</b>	
2.1.	A/D převodník	I - 2
2.2.	D/A převodníky	I - 2
2.3.	Čítače	I - 2
2.4.	Obvody přerušení	I - 2
2.5.	Digitální porty	I - 2
2.6.	Ostatní údaje	I - 3
<b>3.</b>	<b>Instalace modulu</b>	
3.1.	Úvod	I - 4
3.2.	Nastavení báze adresy	I - 4
3.3.	Nastavení rozsahu D/A převodníků	I - 4
3.4.	Vlastní instalace	I - 4
3.5.	Rozmístění spínačů, konektorů a propojek	I - 4
3.6.	Zapojení konektorů	I - 4
<b>4.</b>	<b>Základní informace</b>	
4.1.	Úvod	I - 5
4.2.	Terminologie	I - 5
<b>5.</b>	<b>Struktura adresového prostoru</b>	
5.1.	Popis adresového dekodéru	I - 6
5.2.	CWReg	I - 6
5.3.	STSReg	I - 7
5.4.	RAMReg	I - 7
5.5.	ADDRReg	I - 7
5.6.	DigOutReg	I - 7
5.7.	DigInReg	I - 7
<b>6.</b>	<b>Popis digitálních vstupů a výstupů</b>	
6.1.	Úvod	I - 8
6.2.	Zapojení vstupů	I - 8
6.3.	Zapojení výstupů	I - 8
<b>7.</b>	<b>Popis firmware</b>	
7.1.	Úvod	I - 9
7.2.	Obsah DPRAM - přehled	I - 9
7.3.	Popis činnosti firmware po startu	I - 9
7.4.	Popis činnosti firmware ve výkonné smyčce	I - 10
<b>8.</b>	<b>Popis programové podpory</b>	
8.1.	Úvod	I - 11
8.2.	Čtení obsahu základního datového bloku	I - 11
8.3.	Řízení analogových výstupů	I - 11
8.4.	Řízení čítačů	I - 11
8.5.	Programová obsluha vyrovnávacích zásobníků	I - 12

## Přílohy:

Příloha II - tabulky

Příloha III - obrázky

# 1. Úvodní popis

## 1.1. Charakteristika

PCA-1282 jsou rozšiřující moduly standardu PC/104 sdružující funkce analogových vstupů a výstupů, čítačů a digitálních portů.

K přednostem modulů patří využití jediného napájecího napětí +5V.

**Svojí koncepcí jsou moduly určeny zejména pro:**

- průmyslové řídicí a regulační systémy
- integrované systémy řízení strojů a přístrojů

**Moduly obsahují:**

- 12-bitový A/D převodník s osmi vstupy
- dva 12-bitový D/A převodník s nastavitelným výstupním rozsahem
- 4 čítače externích událostí (dva "rychlé" a dva "pomalé")
- 8 digitálních vstupů standardu TTL
- 8 digitálních výstupů standardu TTL
- logiku přerušení (IRQ2 ÷ IRQ11)

## 2. Technické parametry

### 2.1. A/D převodník

počet vstupů:	8 S.E.	
rozlišení A/D převodníku:	12 bitů	
vstupní rozsah:	0÷2.5V	
vstupní impedance:	10MΩ typ.	
maximální vstupní napětí:	±24V	
	±100V	(10ms max.)

 Při překročení maximálního vstupního napětí může dojít k trvalému poškození obvodů karty.

### 2.2. D/A převodníky

počet výstupů:	2	
rozlišení D/A převodníků:	12 bitů	
výstupní rozsah:	0÷2.5V, ±2.5V	
doba ustálení analogového výstupu:	2ms max.	(±0,1%)
výstupní impedance:	10Ω	(±1%)
zatěžovací impedance:	1500Ω min.	

 Výstupy D/A převodníků jsou odolné proti trvalému zkratu proti GND. Přivedením vnějšího napětí mimo pracovní rozsah dojde k nevratnému poškození obvodů.

### 2.3. Čítače

počet čítačů:	dva "rychlé" a dva "pomalé"	
rozlišení čítačů:	32 bitů	
pracovní úroveň:	TTL/HCMOS	
pracovní frekvence:	100 Hz max.	(CNT0, CNT1)
	100 kHz max.	(CNT2, CNT3)

 Dosažení mezní frekvence vyžaduje signál se střídou 50%. Čítače jsou odolné proti přepětí ±24V.

### 2.4. Obvody přerušeni

zdroj přerušeni:	DRDY	(konec zápisu bloku)
IRQ kanál:	IRQ2 ÷ IRQ11	(voleno programově)

### 2.5. Digitální porty

počet vstupů:	8	(TTL komp.)
počet výstupů:	8	(TTL komp.)
zatěžovací impedance výstupů:	500Ω min.	(viz pozn.)

 Vstupní porty jsou odolné proti přepětí ±24V. Výstupní digitální porty jsou odolné proti trvalému zkratu proti GND; přivedením napětí mimo rozsah 0÷5V dojde k nevratnému poškození obvodů.

## 2.4. Ostatní údaje

typ sběrnice:	PC/104, 8 bitů	(možnost rozšíření)
I/O adresa:	$200_{\text{H}} \div 3\text{F}8_{\text{H}}$	(64 intervalů)
délka intervalu obsazených adres:	8	
napájecí napětí:	+5V	(100mA max.)
délka přívodních vodičů:	2m max.	
rozměry desky:	96 x 90 mm	
EMC:	ČSN EN 55022	
	ČSN EN 50081-1	
	ČSN EN 50082-1	



*Proudový odběr z napájecího zdroje je uveden pro všechny výstupy v nezatřženém stavu.*

## 3. Instalace modulu

### 3.1. Úvod

Při výrobě bylo dbáno na dosažení vysoké kvality a spolehlivosti, rovněž byla věnována pozornost důkladné kontrole před expedicí. Aby nedošlo ke snížení jakosti či poškození při instalaci, doporučujeme Vám pečlivě prostudovat tuto příručku a postupovat podle uvedeného návodu.

### 3.2. Nastavení báze adresy

Bázovou adresu PC modulu lze nastavit v rozsahu 200<sub>H</sub> až 3F8<sub>H</sub>. Volba se provádí prostřednictvím šestinásobného DIL přepínače DIL SW1; význam jednotlivých segmentů je vyznačen v tabulce Tab.1. Při volbě je třeba dbát, aby nedošlo ke kolizi s ostatními instalovanými I/O zařízeními. Seznam standardních zařízení umístěných v tomto intervalu adres je uveden v tabulce Tab.2.

### 3.3. Nastavení rozsahu D/A převodníků

Moduly řady PCA-1282 obsahují dva D/A převodníky s unipolárním nebo bipolárním rozsahem konfigurovatelným propojkou; podrobně viz obrázek Obr.1.

### 3.4. Vlastní instalace

Instalaci modulu provádějte zásadně při vypnutém počítači a dodržujte zásady pro manipulaci s obvody citlivými na poškození elektrostatickým nábojem. S modulem manipulujte za okraje a nedotýkejte se prsty součástí. Nakonfigurovaný modul zasuňte do konektoru PC/104 a zajistěte sloupky.

### 3.5. Rozmístění spínačů, konektorů a propojek

Na obrázcích Obr.1. je vyznačeno rozmístění důležitých prvků modulu; význam spínačů je zřejmý z předchozího textu, konektory a propojky budou popsány vždy v příslušných kapitolách.

### 3.6. Zapojení konektorů

Zapojení vývodů uživatelských konektorů je zakresleno na obrázku Obr.2., význam jednotlivých vývodů je popsán v tabulkách Tab.3. až Tab.7.

## 4. Základní informace

### 4.1. Úvod

Multifunkční PC karty a PC/104 moduly klasické koncepce jsou zpravidla osazeny periferními obvody plně ovládanými z PC, tzn. počítač má ve svém adresovém prostoru přímo mapovány příslušné řídicí a datové registry.

Odlišná koncepce je využita u modulů PCA-1282. Tyto moduly jsou osazeny řídicím mikropočítačem s implementovaným algoritmem pro obsluhu analogových vstupů a výstupů, čítačů a dalších funkcí. Komunikace s modulem proto probíhá pomocí povelů se strukturou závislou na programovém vybavení instalovaném v paměti řídicího mikropočítače.

Z uvedených důvodů lze doporučit podrobné seznámení s činností desky popsané v následujících odstavcích a kapitolách.

### 4.2. Terminologie

Základní termíny používané v dalších odstavcích příručky:

- Režim desky: • deska, resp. její řídicí obvody, mohou být přepnuty do různých funkčních režimů (RST, RUN, ...)
- Povel: • je příkaz aktivující výkonné funkce (např. zápis/čtení čítačů, nulování registrů, ...)
- DPRAM: • dvoubránová paměť RAM  
• datová paměť dostupná ve stejný okamžik mikropočítači i PC  
• tato paměť je využita pro řízení i přenos dat

## 5. Struktura adresového prostoru

### 5.1. Popis adresového dekodéru

Adresový dekodér umožňuje relokaci báze adresy karty v rozsahu u  $200_{\text{H}}$  až  $3F8_{\text{H}}$ . Protože karta zabírá celkem 8 I/O adresy, lze volit jeden z 64 intervalů.

Modul obsahuje několik typů registrů:

- DPRAM:      • registry dvoubránové paměti (komunikace s mikropočítačem) (RAMReg, ADRReg)
- řídící:      • registr pro volbu režimu karty a volbu kanálu přerušení (CWReg, RSTReg)
- DIO:         • slouží k přímému řízení digitálních portů (vstupní i výstupní) (DigInReg, DigOutReg)

Struktura registrů v adresovém prostoru je přehledně uvedena v tabulce Tab.8.

### 5.2. CWReg (WR, Base+3)

Řídící registr modulu slouží k volbě pracovních režimů (jejich podrobný popis je uveden v dalších kapitolách) a volbě kanálu přerušení.

Registr je po resetu nebo zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
IRQ				INTEN	MODE		

- MODE      • volba režimu PC modulu
- |     |     |                              |
|-----|-----|------------------------------|
| 000 | RST | reset mikropočítače PCA-1282 |
| 100 | RUN | provozní režim               |
- INTEN      • povolení přerušení
- |   |                                    |
|---|------------------------------------|
| 0 | přerušení PC sběrnice je blokováno |
| 1 | přerušení PC sběrnice je povoleno  |
- IRQ         • volba kanálu přerušení
- |       |       |
|-------|-------|
| 0010  | IRQ2  |
| 0011  | IRQ3  |
| ..... |       |
| 0111  | IRQ7  |
| 1010  | IRQ10 |
| 1011  | IRQ11 |
- RSRV      • rezerva



*INTEN slouží současně k nulování požadavku přerušení (sekvence 1-0-1).*

### 5.3. STSReg (RD, Base+3)

Prostřednictvím této I/O adresy je zpřístupněn stavový registr signalizující aktivní signál IRQ. Tento signál je nastavován bez ohledu na zvolený kanál IRQ a lze jej využít i pro softwarový pooling (ve spojení s bitem INTEN, viz CWReg).

D7	D6	D5	D4	D3	D2	D1	D0
RSRV				INT	RSRV		

- INT
- indikace požadavku přerušení
    - 0 modul má neaktivní signál IRQ
    - 1 modul má aktivní signál IRQ
- RSRV
- rezerva

### 5.4. RAMReg (RD/WR, Base+0)

Prostřednictvím této I/O adresy je zpřístupněn celý adresový prostor dvoubránové paměti. Protože obsah registru představuje přímo data paměťové buňky DPRAM, je popis vnitřní struktury a význam uveden v kapitole věnované programové obsluze.

### 5.5. ADRReg (WR, Base+1)

Prostřednictvím tohoto registru je adresován celý prostor dvoubránové paměti. Protože obsah registru představuje přímo adresu paměťové buňky RAM v celém rozsahu 0÷255, není další popis struktury registru potřebný.

### 5.6. DigOutReg (WR, Base+2)

Tento registr plní funkci výstupního digitálního portu; význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru portu. Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru:

D7	D6	D5	D4	D3	D2	D1	D0
DOUT7	DOUT6	DOUT5	DOUT4	DOUT3	DOUT2	DOUT1	DOUT0

### 5.6. DigInReg (RD, Base+2)

Tento registr plní funkci vstupního digitálního portu; význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru portu.

Struktura registru:

D7	D6	D5	D4	D3	D2	D1	D0
DIN7	DIN6	DIN5	DIN4	DIN3	DIN2	DIN1	DIN0

## 6. Popis digitálních vstupů a výstupů

### 6.1. Úvod

Moduly PCA-1282 obsahují 8 vstupních kanálů a 8 kanálů výstupních; signály obou portů jsou umístěny na dvou konektorech DIL10.

### 6.2. Zapojení vstupů

Pro realizaci vstupů bylo využito obvodů technologie HCTMOS. Jejich výhodné vlastnosti (vysoká vstupní impedance a zanedbatelný vstupní proud, ochranné diody) byly využity pro přepětovou ochranu do  $\pm 24V$ .

Protože klidový stav vstupů odpovídá logické úrovni H (ošetřeno rezistory  $10k\Omega$  proti napětí  $+5V$ ), lze je použít i pro připojení signálů typu "otevřený kolektor".

### 6.3. Zapojení výstupů

Pro realizaci výstupů bylo využito obvodů technologie HCMOS. Pro jejich výhodné vlastnosti (vysoký výstupní proud a zanedbatelný napěťový úbytek) je lze využít pro přímé buzení LED, optronů, popř. i miniaturních relé  $5V/500\Omega$ .

## 7. Popis firmware

### 7.1. Úvod

Dále uvedený popis odráží stav firmware verze 1.00; nově implementované funkce pak budou dokumentovány podle jejich rozsahu v dodatcích uživatelské příručky v souborech na doprovodné disketě nebo v samostatné příručce.

Další popis této kapitoly je vztažen k pracovnímu režimu desky "RUN", tzn. stavu po spuštění firmware.

### 7.2. Obsah DPRAM - přehled

Pro komunikaci s mikropočítačem modulu, tzn. přenos dat a řídicích povelů, slouží dvoubránová paměť.

Dvoubránová paměť obsahuje 256 registrů rozdělených do čtyř bloků po 64 registrech. Jednotlivé bloky mají následující funkce:

0÷63	obsahuje okamžitá data všech vstupních portů (tzn. data průběžně aktualizovaná při každém cyklu)
64÷127	obsahuje data analogových výstupů, řídicí povely a stavové příznaky
128÷255	vyrovnávací zásobník vstupních dat (analogových vstupů, čítačů, ...) rozdělený do dvoufázově zaplňovaných bloků BLK_0 a BLK_1

Přesný popis struktura a význam registrů dvoubránové paměti je popsána v tabulce Tab.7. a následujících odstavcích.

AIN <sub>x</sub>	16-bitové registry analogových vstupů (data v přímém binárním kódu, tzn. 0000 <sub>H</sub> ~ 0V a 0FFF <sub>H</sub> ~ 2.5V)
CNT <sub>x</sub>	32-bitové registry čítačů
CNT_IN	aktuální stav vstupů CNT0÷CNT3 - logická úroveň L nebo H (významné 4 nejnižší bity, každý bit obsahuje stav jednoho vstupu)
CNT_ON	provozní čas karty (čas v milisekundách od spuštění mikropočítače)
AOUT <sub>x</sub>	16-bitové registry analogových vstupů (přímý binární kód, tzn. 0000 <sub>H</sub> ~ 0V/-2.5V a 0FFF <sub>H</sub> ~ 2.5V)
TYP	identifikační ASCII řetězec (např. "PCA-1282 1.00")
Ctrl_CNT <sub>x</sub>	řídicí registry čítačů
Ctrl_BF	řídicí registr vyrovnávacího zásobníku
Adr_BF	stavový registr vyrovnávacího zásobníku
Status	základní příznakový registr
Povel	základní řídicí registr

### 7.3. Popis činnosti firmware po startu

Po startu firmware mikropočítače (tzn. po nastavení režimu RUN, viz popis CWReg) provádí řadu nezbytných inicializačních kroků (nastavení periferních obvodů, nastavení obsahu dvoubránové paměti apod.)

Průběh a ukončení inicializace je signalizováno registrem Povel; na začátku inicializace (cca 10 $\mu$ s po spuštění režimu RUN) mikropočítač nastaví registr na hodnotu 255 a po ukončení inicializace je vynuluje. Po dobu inicializace nesmí být obsah dvoubránové paměti ze strany PC modifikován.

Po ukončení inicializace je většina registrů vynulována, výjimku tvoří:

Ctrl_BF	nastaven na hodnotu 49 (tzn. každý 100ms je zaplněna jedna polovina zásobníku)
Adr_BF	registr nastaven na hodnotu 80 <sub>H</sub>
TYP	zapsán identifikační řetězec

## 7.4. Popis činnosti firmware ve výkonné smyčce

Obsluhu všech I/O funkcí vykonává řídicí mikropočítač v uzavřených programových smyčkách, tzv. cyklech. Délka jednoho cyklu trvá 2ms.

V každém cyklu programové smyčky mikropočítač provádí tyto operace:

### 1. Měření osmi analogových signálů

Naměřená data jsou zapsána do interní paměti mikropočítače a v případě povolení zápisu do dvoubránové paměti rovněž do prvního bloku RAM. Měření jednotlivých vstupů jsou rovnoměrně rozložena v celém cyklu.

### 2. Zpracování dat dvou analogových výstupů

Mikropočítač načte data z dvoubránové paměti a postupně zpracuje dvěma D/A převodníky; obsluha je rovnoměrně rozložena v celém cyklu měření 8 vstupů.

### 3. Zpracování dat čtyř čítačů

Data čtyř čítačů jsou zapsána do interní paměti mikropočítače a v případě povolení zápisu do dvoubránové paměti rovněž do základního bloku RAM. Přenos dat je rovnoměrně rozložen v celém cyklu.

### 4. Generování provozního času

Mikropočítač inkrementuje stav registru CNT\_ON a v případě povolení zápisu do dvoubránové paměti přeneseme jeho obsah do prvního bloku RAM.

### 5. Obsluha vyrovnávacích zásobníků

Mikropočítač vyhodnotí požadavek na vzorkovací frekvenci kontinuálního záznamu (registr Ctrl\_BF) a rozhodne, zda bude realizován přenos do vyrovnávacího zásobníku a do kterého ze dvou částí budou data zapsána. Jsou-li data do zásobníku zapisována, je na konci cyklu modifikován obsah registru Adr\_BF a vyvoláno přerušení.



*Přesný popis obsluhy vyrovnávacích zásobníků je uveden v následující kapitole.*

### 6. Zpracování povelů od PC

V průběhu celé smyčky mikropočítač průběžně (cca 8x v průběhu celé smyčky) testuje stav registru POVEL a vykonává jejich obsluhu.

## 8. Popis programové podpory

### 8.1. Úvod

Dále uvedený popis odráží stav firmware verze 1.00; nově implementované funkce pak budou dokumentovány podle jejich rozsahu v dodatcích uživatelské příručky v souborech na doprovodné disketě nebo v samostatné příručce.

Další popis této kapitoly je vztažen k pracovnímu režimu desky RUN po provedené inicializaci a dokončeném předešlém povelu.

### 8.2. Čtení obsahu základního datového bloku

Data základního datového bloku (tzn. rozsah adres 0..63) jsou určena pro případ, kdy aplikace vyžaduje nízkou, případně proměnnou četnost dat.

Přestože možností programové obsluhy je více, lze doporučit režim, ve kterém PC karta trvale aktualizuje data v RAM a pouze při požadavku aplikačního programu je aktualizace pozastavena. Pro takovou obsluhu byl firmware optimalizován a časová odezva na povel "zákaz zápisu" je výrazně kratší než na povel "povolení zápisu".

Dále uvedený postup znázorňuje posloupnost kroků potřebných ke korektnímu načtení dat:

- vyčkat na provedení předešlého povelu, tzn. na nulový obsah registru Povel (pro případ, že se program obrací na kartu před provedením předešlého povelu)
- do registru Povel zapsat hodnotu 1 (= zákaz zápisu dat do DPRAM)
- vyčkat na provedení povelu, tzn. na vynulování obsahu registru Povel (zpracování tohoto povelu trvá maximálně 250µs)
- načíst požadovaná data z DPRAM (AIN<sub>x</sub>, CNT<sub>x</sub>, ...)
- do registru Povel zapsat hodnotu 2 (= povolení přenosu dat do DPRAM) (zpracování povelu trvá maximálně 4ms a zahrnuje jednu aktualizaci dat)

### 8.3. Řízení analogových výstupů

Analogové výstupy jsou ovládány výhradně svými datovými registry a data v nich uložená jsou mikropočítačem průběžně zpracovávána. Každá změna se tedy na odpovídajícím výstupu projeví nejpozději po uplynutí doby jednoho cyklu (=2ms).



*Aby byl přechodný stav při řízení analogových výstupů minimalizován, je potřeba, aby programování obou byte registru následovalo bezprostředně za sebou. Pořadí není významné.*

### 8.4. Řízení čítačů

Pro řízení činnosti čítačů jsou vyhrazeny řídicí registry Ctrl\_CNT0 ÷ Ctrl\_CNT3.

Registry mají významné dva nejnižší bity a jejich význam je následující:

- |        |                                                                                                                                                                                                                        |
|--------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| bit D0 | slouží k povolení čítání<br>zápisem hodnoty "1" je čítání je povoleno, 0 ~ čítání je blokováno)                                                                                                                        |
| bit D1 | slouží k nulování čítače <ul style="list-style-type: none"> <li>• zápisem logické hodnoty "1" je předán příkaz k vynulování čítače</li> <li>• po vynulování se bit automaticky vrací do logické hodnoty "0"</li> </ul> |



*Čtení obsahu čítačů bylo popsáno v odstavci Čtení obsahu základního datového bloku.*

## 8.5. Programová obsluha vyrovnávacích zásobníků

Přenos dat s využitím vyrovnávacích zásobníků je určen pro aplikace s vyššími požadavky na vzorkovací frekvenci.

PC karta střídavě zaplňuje dvojici zásobníků definovanou vzorkovací frekvencí postupem popsáným v kapitole "Popis činnosti firmware".

Aplikační program s využitím přerušení nebo softwarovým vyhodnocováním obsahu registru Adr\_BF detekuje probíhající zápisy dat a z "volného" bloku přenáší data ke zpracování.

K programové podpoře tohoto režimu jsou vyhrazeny následující registry:

Adr_BF	počáteční adresa zásobníku, který je zpracováván mikropočítačem
80 <sub>H</sub>	mikropočítač zapisuje do zásobníku BLK_0
C0 <sub>H</sub>	mikropočítač zapisuje do zásobníku BLK_1
Ctrl_BF	počet vynechaných cyklů při přenosu dat do zásobníků
0	do zásobníků jsou přenášena data ze všech cyklů
1	do zásobníků jsou přenášena data z každého druhého cyklu
2	do zásobníků jsou přenášena data z každého třetího cyklu
...	.....
255	do zásobníků jsou přenášena data z každého 256. cyklu

 *Obsah registru Ctrl\_BF je po startu firmware nastaven na 49, tzn. vzorkovací periodu 100ms.*

### Postup programové obsluhy:

Po úvodní inicializaci registrů CW\_Reg a Ctrl\_BF mikropočítač střídavě zapisuje do BLK\_0 a BLK\_1. Stav registru Adr\_BF je modifikován ihned po dokončení zápisu do bloku, tzn. mikropočítač nastaví hodnotu C0<sub>H</sub> ihned po dokončení zápisu do bloku BLK\_0, resp. hodnotu 80<sub>H</sub> ihned po dokončení zápisu do bloku BLK\_1.

V případě programové detekce zaplnění vyrovnávacích zásobníků program cyklicky vyhodnocuje stav registru Adr\_BF a při každé změně načte požadovaná data.

V případě obsluhy s využitím přerušení je detekce stavu registru Adr\_BF a přenos dat realizován v rámci obslužné rutiny; přerušení je automaticky vyvoláno vždy při změně stavu registru Adr\_BF (předpokladem je korektní volba IRQ kanálu - viz popis CWReg).

 *Důležité upozornění.*

*Přenos dat ze zásobníku musí být proveden dříve než dojde k nové změně registru Adr\_BF.*



*Pro případ možného restartu firmware obvodem watchdog lze doporučit občasné testování obsahu CNT\_ON (obsahuje provozní čas od posledního startu firmware).*

SW1						I/O adresa (Base)
SW - 1	SW - 2	SW - 3	SW - 4	SW - 5	SW - 6	
ON	ON	ON	ON	ON	ON	200 <sub>H</sub>
ON	ON	ON	ON	ON	OFF	208 <sub>H</sub>
---	---	---	---	---	---	
OFF	ON	ON	ON	ON	ON	300 <sub>H</sub>
OFF	ON	ON	ON	ON	OFF	308 <sub>H</sub>
---	---	---	---	---	---	
OFF	OFF	OFF	OFF	OFF	ON	3F0 <sub>H</sub>
OFF	OFF	OFF	OFF	OFF	OFF	3F8 <sub>H</sub>

Tab.1. SW1 - volba bázové adresy karty.



Adresa 300<sub>H</sub> vyznačená v tabulce je nastavena od výrobce.  
Segment SW1-1 je rezervován.

Počáteční adresa	Koncová adresa	I/O zařízení
200 <sub>H</sub>	207 <sub>H</sub>	adapter pro hry
278 <sub>H</sub>	27F <sub>H</sub>	2. tiskárna
2F8 <sub>H</sub>	2FF <sub>H</sub>	2. adapter asynchronní komunikace
300 <sub>H</sub>	31F <sub>H</sub>	prototypová deska
360 <sub>H</sub>	36F <sub>H</sub>	rezerva
378 <sub>H</sub>	37F <sub>H</sub>	1. tiskárna
380 <sub>H</sub>	38F <sub>H</sub>	synchronní komunikace SDLC
3A0 <sub>H</sub>	3AF <sub>H</sub>	synchronní komunikace BSC
3B0 <sub>H</sub>	3BF <sub>H</sub>	monochromatický display + tiskárna
3C0 <sub>H</sub>	3CF <sub>H</sub>	rezerva
3D0 <sub>H</sub>	3DF <sub>H</sub>	barevný display
3F0 <sub>H</sub>	3F7 <sub>H</sub>	řadič disket
3F8 <sub>H</sub>	3FF <sub>H</sub>	1. adapter asynchronní komunikace

Tab.2. Seznam standardních adres I/O zařízení.

<i><b>funkce</b></i>	<i><b>P I N</b></i>	<i><b>P I N</b></i>	<i><b>funkce</b></i>
<i>AIN0</i>	<i>D1</i>	<i>D2</i>	<i>AIN1</i>
<i>AIN2</i>	<i>D3</i>	<i>D4</i>	<i>AIN3</i>
<i>AIN4</i>	<i>D5</i>	<i>D6</i>	<i>AIN5</i>
<i>AIN6</i>	<i>D7</i>	<i>D8</i>	<i>AIN7</i>
<i>GND</i>	<i>D9</i>	<i>D10</i>	<i>GND</i>

Tab.3. Zapojení vývodů konektoru K1.

<i><b>funkce</b></i>	<i><b>P I N</b></i>	<i><b>P I N</b></i>	<i><b>funkce</b></i>
<i>AOUT0</i>	<i>D1</i>	<i>D2</i>	<i>AOUT1</i>
<i>---</i>	<i>D3</i>	<i>D4</i>	<i>---</i>
<i>---</i>	<i>D5</i>	<i>D6</i>	<i>---</i>
<i>---</i>	<i>D7</i>	<i>D8</i>	<i>---</i>
<i>GND</i>	<i>D9</i>	<i>D10</i>	<i>GND</i>

Tab.4. Zapojení vývodů konektoru K2.

<i><b>funkce</b></i>	<i><b>P I N</b></i>	<i><b>P I N</b></i>	<i><b>funkce</b></i>
<i>DIN0</i>	<i>D1</i>	<i>D2</i>	<i>DIN1</i>
<i>DIN2</i>	<i>D3</i>	<i>D4</i>	<i>DIN3</i>
<i>DIN4</i>	<i>D5</i>	<i>D6</i>	<i>DIN5</i>
<i>DIN6</i>	<i>D7</i>	<i>D8</i>	<i>DIN7</i>
<i>GND</i>	<i>D9</i>	<i>D10</i>	<i>+5V</i>

Tab.5. Zapojení vývodů konektoru K3.

<i><b>funkce</b></i>	<i><b>P I N</b></i>	<i><b>P I N</b></i>	<i><b>funkce</b></i>
<i>DOUT0</i>	<i>D1</i>	<i>D2</i>	<i>DOUT1</i>
<i>DOUT2</i>	<i>D3</i>	<i>D4</i>	<i>DOUT3</i>
<i>DOUT4</i>	<i>D5</i>	<i>D6</i>	<i>DOUT5</i>
<i>DOUT6</i>	<i>D7</i>	<i>D8</i>	<i>DOUT7</i>
<i>GND</i>	<i>D9</i>	<i>D10</i>	<i>+5V</i>

Tab.6. Zapojení vývodů konektoru K4.

<i>funkce</i>	<i>P I N</i>	<i>P I N</i>	<i>funkce</i>
<i>CNT2</i>	<i>D1</i>	<i>D2</i>	<i>CNT3</i>
<i>CNT0</i>	<i>D3</i>	<i>D4</i>	<i>CNT1</i>
<i>---</i>	<i>D5</i>	<i>D6</i>	<i>---</i>
<i>---</i>	<i>D7</i>	<i>D8</i>	<i>---</i>
<i>GND</i>	<i>D9</i>	<i>D10</i>	<i>+5V</i>

Tab.7. Zapojení vývodů konektoru K5.

<i>I/O adresa</i>	<i>registr</i>	
	<i>WR</i>	<i>RD</i>
<i>BASE+0</i>	<i>RAMReg</i>	
<i>BASE+1</i>	<i>ADDRReg</i>	<i>---</i>
<i>BASE+2</i>	<i>DigOutReg</i>	<i>DigInReg</i>
<i>BASE+3</i>	<i>CWReg</i>	<i>STSTReg</i>
<i>BASE+4</i>	<i>---</i>	<i>---</i>
<i>BASE+5</i>	<i>---</i>	<i>---</i>
<i>BASE+6</i>	<i>---</i>	<i>---</i>
<i>BASE+7</i>	<i>---</i>	<i>---</i>

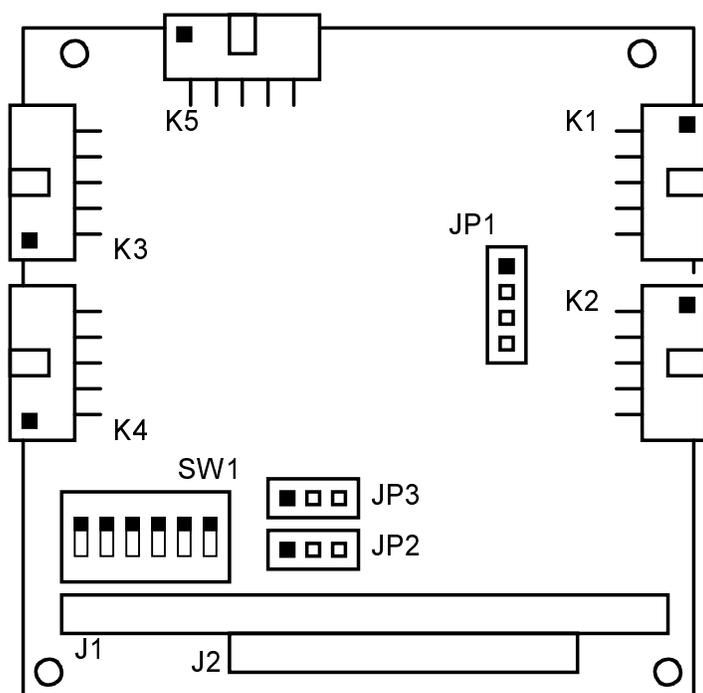
Tab.8. Vnitřní struktura adresového prostoru karty.

<b>adresa</b>	<b>registr</b>	<b>význam</b>
0 ÷ 1	AIN0	12-bitová hodnota analogového vstupu AIN0 (0÷4095)
.....	.....	.....
14 ÷ 15	AIN7	12-bitová hodnota analogového vstupu AIN7 (0÷4095)
16 ÷ 19	CNT0	32-bitová hodnota čítače CNT0
.....	.....	.....
28 ÷ 31	CNT3	32-bitová hodnota čítače CNT3
32 ÷ 35	CNT_ON	32-bitová hodnota čítače provozního času (čas v ms od startu firmware)
36	CNT_IN	aktuální stav vstupů čítačů CNT_IN0 ÷ CNT_IN3 (každý vstup reprezentován jedním bitem registru)
37 ÷ 63	NC	nevyužito - rezerva
64 ÷ 65	AOUT0	12-bitová hodnota analogového výstupu AOUT0 (0÷4095)
66 ÷ 67	AOUT1	12-bitová hodnota analogového výstupu AOUT0 (0÷4095)
68 ÷ 95	NC	nevyužito - rezerva
96 ÷ 111	TYP	16-znakový řetězec s názvem karty a verzí firmware (např. PCA-1288 1.08)
112	Ctrl_CNT0	řídící registr čítače CNT0 bit D0: H ~ čítač pracuje, L ~ čítač je blokován bit D1: H ~ nulování čítače (bit se automaticky vrací do L)
.....	.....	.....
115	Ctrl_CNT3	řídící registr čítače CNT3
116	Ctrl_BF	řídící registr AIN - četnost přenosu dat do zásobníků 0 ~ zásobník zaplňován v každém cyklu 1 ~ zásobník zaplňován v každém druhém cyklu (jeden vypuštěn) 2 ~ zásobník zaplňován v každém třetím cyklu (dva vypuštěny) N ~ zásobník zaplňován v každém N+1 cyklu (N vypuštěno)
117	Adr_BF	ukazatel aktuálně zpracovávaného bloku zásobníku (nabývá hodnoty 128 nebo 192, tzn. počáteční adresy bloku)
118 ÷ 125	NC	nevyužito - rezerva
126	Status	registr stavových příznaků bit D0: H ~ základní datový blok průběžně aktualizován
127	Povel	řídící registr registr 0 ~ klidový stav (= povel zpracován) 1 ~ zákaz zápisu dat do základního datového bloku (0÷63) 2 ~ povolení zápisu dat do základního datového bloku (0÷63)
128 ÷ 191	BLK_0	1. blok vyrovnávacího zásobníku (registrová struktura shodná se základním datovým blokem 0÷63)
192 ÷ 255	BLK_1	2. blok vyrovnávacího zásobníku (registrová struktura shodná se základním datovým blokem 0÷63)

Tab.9. Struktura adresového prostoru dvoubránové paměti.



Dvoubytové a čtyřbytové parametry jsou do RAM ukládány v pořadí nejnižším byte počínaje a s nevyužitými nejvyššími bity. Tzn. na adrese 0 jsou uloženy bity AIN0(7..0), na adrese 1 pak bity AIN0(15..8) a vzhledem k 12-bitovému rozlišení jsou nejvyšší čtyři bity trvale nulové.



Obr.1. Obrázek modulů PCA-1282.

K1 vstupní analogový port

K1 výstupní analogový port

K3 vstupní digitální port

K4 výstupní digitální port

K5 vstupní čítačový port

SW1 konfigurace báze adresy modulu

JP1 konfigurace analogových výstupů

1-2 propojka nenasazena => AOOUT0 0÷2,5V

propojka nasazena => AOOUT0 ±2,5V

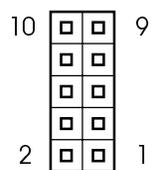
3-4 propojka nenasazena => AOOUT0 0÷2,5V

propojka nasazena => AOOUT0 ±2,5V

JP2/3 určeny pouze pro servisní účely; propojky ponechat v pozici 2-3



*Modul má standardně osazen konektor J1; konektor J2 může být doplněn po dohodě.  
Pin 1 na konektorech je v obrázku vyznačen výplní.*



Obr.2. Rozmístění vývodů na konektoru DIL 10.

