

# **PCG-1030**

**3x 32-bit. DDS**

**FIFO, DIO**

## Důležité upozornění !

Při zacházení s kartou dbejte zásad maní pulace s obvody citlivými na poškození elektrostatickým nábojem.

Instalaci provádějte zásadně při vypnutém počítači a vždy odpojte síťový kabel a přívodní vodiče karty !

Při nedodržení uvedených pravi del může dojít k trvalému poškození citlivých obvodů PC karty nebo celého počítače.

Uži vatelská příručka a její součásti jsou autorským dílem chráněným ustanovením zákona č. 35/1965 Sb. o dílech li terárních, vědeckých a uměleckých (Autorský zákon) ve znění zákona č. 89/1990 Sb., zákona č. 468/1991 Sb., zákona č. 318/1993 Sb., zákona č. 237/1995 Sb. a zákona č. 86/1996 Sb.

Všechna jména a názvy použi té v textu mohou být chráněnými známkami nebo obchodními názvy výrobků příslušných firem.

© 1994÷1998 TEDIA spol. s r. o.

Záruční a pozáruční servis:

TEDIA spol. s r. o., P.O.BOX 40, 312 90 Plzeň 12

telefon: 019 7478168  
fax: 019 7478169  
hotline: 0603 442786  
e-mail: [tedia@tedia.cz](mailto:tedia@tedia.cz)  
internet: <http://www.tedia.cz>

## Obsah

1.	Úvodní popis	
1.1.	Charakteristika	I - 1
2.	Technické parametry	
2.1.	Obvody DDS	I - 2
2.2.	Výstupní obvody	I - 2
2.3.	Digitální porty	I - 2
2.4.	Ostatní údaje	I - 2
3.	Instalace karty	
3.1.	Úvod	I - 3
3.2.	Nastavení báze adresy	I - 3
3.3.	Vlastní instalace	I - 3
3.4.	Zapojení konektorů	I - 3
3.5.	Rozmístění přepínačů, konektorů a trimrů	I - 3
4.	Základní popis	
4.1.	Úvod	I - 4
4.2.	DDS procesory	I - 4
5.	Struktura adresového prostoru	
5.1.	Popis adresového dekodéru	I - 5
5.2.	CWReg	I - 5
5.3.	ModeReg	I - 5
5.4.	FIFOReg	I - 6
5.5.	StatusReg	I - 6
5.6.	CtrlReg	I - 6
5.7.	DigOutReg	I - 7
5.8.	DigInReg	I - 7
6.	Popis pracovních režimů desky	
6.1.	Pracovní režim RST	I - 8
6.2.	Pracovní režim RUN_1	I - 8
7.	Popis digitálních vstupů a výstupů	
7.1.	Úvod	I - 9
7.2.	Zapojení vstupů	I - 9
7.3.	Zapojení výstupů	I - 9
11.	Kalibrace	
11.1.	Úvod	I - 10
11.2.	Kalibrace výstupního napětí generátorů	I - 10

## Přílohy:

Příloha II - tabulky

Příloha III - obrázky

# 1. Úvodní popis

## 1.1. Charakteristika

PC karta signálových generátorů PCG-1030 je výrobek moderní koncepce ze stavebnice karet **PRECISION SERIE** určené zejména pro náročná laboratorní a průmyslová měření s vysokými nároky.

Karta PCG-1030 byla realizována na bázi moderních DDS procesorů firmy Analog Devices a vzhledem k nestandardnímu obvodovému řešení dosahuje vynikajících parametrů. Aplikační možnosti rozšiřují digitální vstupy a výstupy.

Celkový pohled na desku PCG-1030 a její vnitřní obvodová struktura jsou zakresleny na obrázcích Obr.1. a Obr.2.

Karta PCG-1030 se vyznačuje zejména těmito vlastnostmi:

- 3 opticky izolované generátory harmonického signálu na principu DDS (tzn. na principu přímé digitální syntézy)
- osazení desky vlastním procesorem a vyrovnávací pamětí dat FIFO

Mimořádné vlastnosti:

- vysoká přesnost a stabilita nastaveného kmitočtu
- okamžitá odezva na změnu parametrů
- generování skupiny signálů s definovaným vzájemným fázovým posuvem
- možnost automatického krokování předprogramovaných sekvencí

Svojí koncepcí je karta PCG-1030 určena zejména pro:

- laboratorní a průmyslové měřicí systémy
- automatizovaná testovací pracoviště

## 2. Technické parametry

### 2.1. Obvody DDS

typ DDS procesoru:	AD9850	(Analog Devices)	
taktovací oscilátor:	42,9497 MHz		
stabilita taktovacího oscilátoru:	50 ppm	(0÷55°C)	(*)
rozsah nastavení frekvence:	0 ÷ 1.342.177,27 Hz		
krok nastavení frekvence:	0,01 Hz		
rozsah nastavení fáze:	0° ÷ 348,75°		
krok nastavení fáze:	11,25°		

 (\*) Karta může být alternativně osazena oscilátorem se stabilitou 2,5 ppm.

### 2.2. Výstupní obvody

počet výstupních kanálů:	3 analogové	(s optickou izolací)	
	3 digitální	(TTL/HC)	(*)
rozsah výstupního napětí:	0 ÷ 2,55 V <sub>p</sub>	(špičková hodnota)	
krok nastavení výstupního napětí:	10 mV		
přesnost nastavení výstupního napětí:	±1%	(0 ÷ 20 kHz)	
	±3%	(0 ÷ 100 kHz)	
	±5%	(0 ÷ 1,3 MHz)	(**)
harmonické zkreslení:	0,2% typ.		
výstupní impedance:	50 Ω		

 (\*) Další parametry se vztahují pouze ke analogovým výstupům.

(\*\*) Přesnost výstupního napětí je vztažena k frekvenční charakteristice (viz graf Obr.8.).

### 2.3. Digitální porty

počet výstupů:	8	(TTL komp.)
počet vstupů:	8	(TTL komp.)

 Výstupní digitální porty jsou odolné proti trvalému zkratu; přivedením napětí mimo rozsah 0÷5V dojde k nevratnému poškození obvodů. Vstupní digitální porty jsou odolné proti přepětí do ±24V.

### 2.4. Ostatní údaje

standardní konfigurace desky:	2x AT89C52 / 24 MHz	
	FIFO 1 kB	
	RAM 128kB	
izolační napětí DDS <--> PC:	500 V max.	
I/O adresa:	200 <sub>H</sub> ÷ 3FC <sub>H</sub>	(128 intervalů)
napájecí napětí:	+5V	(200 mA max.)
	+12V	(350 mA max.)
rozměry:	cca 105 x 185 mm	

## 3. Instalace karty

### 3.1. Úvod

Při výrobě bylo dbáno na dosažení vysoké kvality a spolehlivosti, rovněž byla věnována pozornost důkladné kontrole před expedicí. Aby nedošlo ke snížení jakosti či poškození při instalaci, doporučujeme Vám pečlivě prostudovat tuto příručku a postupovat podle uvedeného návodu.

### 3.2. Nastavení báze adresy

Bázovou adresu PC karty lze nastavit v rozsahu  $200_{\text{H}}$  až  $3\text{FC}_{\text{H}}$ . Volba se provádí prostřednictvím osminásobného DIL přepínače DIL SW1; význam jednotlivých segmentů je vyznačen v tabulce Tab.1. Při volbě je však třeba dbát, aby nedošlo ke kolizi s ostatními instalovanými I/O zařízeními. Seznam standardních zařízení umístěných v tomto intervalu adres je uveden v tabulce Tab.2.

### 3.3. Vlastní instalace

Instalaci karty provádějte zásadně při vypnutém počítači s odpojenými přívodními vodiči (sít, monitor apod.) a dodržujte zásady pro manipulaci s obvody citlivými na poškození elektrostatickým nábojem. S kartou manipulujte za okraje a nedotýkejte se prsty součástek. Nakonfigurovanou kartu zasuňte po předchozím vyjmutí krycího štítku do volné pozice pro rozšiřující desky počítače a zajistěte šroubem.

### 3.4. Zapojení konektorů

Zapojení vývodů konektorů je zakresleno na obrázcích Obr.3. až Obr.4.; popis signálů je uveden v tabulkách Tab.3. až Tab.5. Připojení desky k měřenému objektu je naznačeno na obrázcích Obr.5. až Obr.7.

### 3.5. Rozmístění přepínačů, konektorů a trimrů

Rozmístění přepínačů, konektorů a trimrů na kartě PCG-1030 je zakreslen na obrázku Obr.1.; význam jednotlivých prvků je zřejmý z předešlých odstavců.

## 4. Základní popis

### 4.1. Úvod

Blokové schéma interních obvodů karty PCG-1030 je zakresleno na obrázku Obr.2. Jádrem karty PCG-1030 jsou tři generátory realizované DDS procesory; k jejich řízení je vyhrazen jeden z mikropočítačů.

Na DDS procesory navazují zesilovače programovatelným ziskem s rozlišením 8-bitového D/A převodníku; jejich řízení zajišťuje mikropočítač společný s DDS.

Výstupy DDS procesorů jsou dále zpracovány izolačními oddělovači a jejich výstupy poskytující logické signály s pracovní úrovní TTL/HC.

Interface karty PCG-1030 k ISA sběrnici zajišťuje řídicí mikropočítač spolu s pamětí FIFO a několika řídicími a příznakovými registry.

Komunikaci mezi oběma mikropočítači zajišťuje opticky izolovaná sériová linka.

### 4.2. DDS procesory

Pro generování signálů je v praxi využíváno řady metod a obvodových řešení, za standardní v oblasti mikropočítačové techniky lze považovat generování signálu požadovaného kmitočtu programovatelnou děličkou z frekvence základního oscilátoru. Touto metodou je vytvářen signál s krátkodobou i dlouhodobou stabilitou závislou takřka výhradně na základním oscilátoru; rovněž k ustálení výstupního signálu dojde takřka okamžitě po přeprogramování. Zásadní nevýhodou této metody je proměnný krok pro nastavení požadované frekvence a zejména pak velmi hrubé nastavení nejvyšších kmitočtů.

Problém proměnného kroku pro nastavení frekvence odstraňuje např. obvodové řešení na bázi PLL závěsu. Touto metodou lze generovat signály s konstantním kmitočtovým krokem v celém pracovním pásmu, rovněž dlouhodobá stabilita signálu je ovlivněna zejména základním oscilátorem. Nectností metody s PLL je problematické ustalování frekvence signálu po změně parametrů a nevalná krátkodobá frekvenční stabilita; optimalizace těchto dvou parametrů navíc klade protichůdné požadavky na obvodový návrh.

Generátory realizované na bázi přímé digitální syntézy umožňují produkovat signály s frekvenční stabilitou krystalového oscilátoru (dlouhodobou i krátkodobou) při zachování jemného konstantního kroku nastavení frekvence a prakticky nulové prodlevy ustálení výstupního signálu. Výhodnou vlastností použitého typu DDS procesoru je generování vysoce kvalitního harmonického průběhu.



#### *Příklad:*

*Karta PCG-1030 umožňuje generovat signál 1MHz s krokem 0,01Hz, tzn. poskytuje signály 999.999,99 Hz, 1.000.000,00 Hz a 1.000.000,01 Hz.*

*Pokud by tyto kmitočty měly být vytvářeny prostou děličkou signálu ze základního oscilátoru, musela by zpracovávat vstupní frekvenci  $10^{14}$  Hz. V případě řešení s PLL by si krok nastavení kmitočtu 0,01Hz vyžádal dobu ustálení po přeprogramování řádustovek sekund.*

*Řešení s DDS využívá krystalového oscilátoru 42,9497 MHz a doba potřebná k ustálení signálu nepřekračuje desítky nanosekund.*

## 5. Struktura adresového prostoru

### 5.1. Popis adresového dekodéru

Adresový dekodér umožňuje relokaci báze adresy karty v I/O prostoru  $200_H$  až  $3FC_H$ . Protože karta zabírá celkem 4 adresy, lze volit jeden z 128 intervalů.

Karta obsahuje několik typů registrů:

- řídící:
  - jsou určeny pro řízení režimu desky (CWReg)
- datové:
  - jsou určeny pro předávání povelů a zpětné načítání dat (FIFOReg, CtrlReg)
- příznakové:
  - jsou určeny pro přenos stavových informací karty (StatusReg, ModeReg)
- DIO:
  - slouží k přímému řízení digitálních portů (vstupní i výstupní) (DigInReg, DigOutReg)

Struktura registrů v adresovém prostoru je přehledně uvedena v tabulce Tab.6.

### 5.2. CWReg (WR, Base+2)

Řídící registr karty slouží k volbě pracovních režimů desky; jejich podrobný popis je uveden v dalších kapitolách. Registr je po zapnutí počítače nebo resetu vynulován.

Struktura registru:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	RSRV	RSRV	RSRV	MODE		

- MODE
- registr pro volbu pracovního režimu PC karty
 

000	RST	klidový režim "0"
001	RUN_1	pracovní režim "1"
- RSRV
- rezerva

 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena úroveň 0. Neuvedené kombinace D2÷D0 jsou rezervovány pro další režimy.*

### 5.3. ModeReg (RD, Base+2)

Tento registr slouží k detekci základních parametrů činnosti obvodů karty.

Struktura registru:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	RSRV	ERR	RSRV	MODE		

- MODE
- zpětné čtení stavu registru CWReg

- ERR           • logickou úroveň "H" signalizuje chybu v činnosti  
                   (význam chyby je závislý na pracovním režimu, viz další popis)
- RSRV           • rezerva, bity nastaveny na logickou úroveň "L"

## 5.4. FIFOReg (WR, Base+0)

Tento registr slouží k přenosu dat z PC do řídicí logiky karty. Narozdíl od ostatních není tvořen jediným registrem, ale pamětí typu FIFO (tj. frontou dat se sekvenčním přístupem "první dovnitř - první ven"). Popis přenášených dat je uveden v dalších kapitolách.

Stav zaplnění paměti daty (počet obsažených dat nebo prázdný) je signalizován příslušnými bity ve stavovém registru (StatusReg).

FIFO paměť je v pracovním režimu RST (viz popis CWReg) resetována, tzn. celý obsah vynulován a nastaven příznak "FIFO\_EF".

 Použitý typ FIFO paměti umožňuje přenos dat se šířkou 9 bitů; devátý rezervní bit je využíván pro synchronizaci datových paketů (viz popis CtrlReg).

## 5.5. StatusReg (RD, Base+0)

Stavový registr karty slouží k detekci stavu zaplnění paměti daty.

Struktura registru je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	RSRV	RSRV	RSRV	FIFO_FF	FIFO_HF	FIFO_EF

Význam jednotlivých bitů je následující:

- FIFO\_EF       • příznak zcela prázdné FIFO paměti  
                   • bit je vynulován zápisem 1. byte do FIFO paměti  
                   • k nastavení dojde vyčtením dat z FIFO mikroočítačem karty  
                   • aktivní v úrovni H
- FIFO\_HF       • příznak zaplnění FIFO na 50%  
                   • k nastavení dojde při zápisu 513. byte do FIFO paměti  
                   • bit nulován čtením FIFO mikroočítačem karty pod hranici 50%  
                   • aktivní v úrovni H
- FIFO\_FF       • příznak zaplnění FIFO na 100%  
                   • k nastavení dojde při zápisu 1024. byte do FIFO paměti  
                   • bit nulován čtením FIFO mikroočítačem karty pod hranici 100%  
                   • aktivní v úrovni H
- RSRV           • rezerva, bity nastaveny na logickou úroveň "L"

## 5.6. CtrlReg (WR, Base+1)

Tento registr slouží k přenosu pomocných informací z PC do řídicí logiky karty; podrobný popis je uveden v dalších kapitolách. Registr je po zapnutí počítače nebo resetu vynulován.

Struktura registru:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	SYNC						

- SYNC
- synchronizační příznak datového paketu (viz. popis FIFOReg)
    - 0 příznakový bit nastavena na hodnotu "L"
    - 1 příznakový bit nastavena na hodnotu "H"
- RSRV
- rezerva

 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena úroveň 0.*

## 5.7. DigOutReg (WR, Base+3)

Tento registr plní funkci výstupního digitálního portu; význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru portu.

D7	D6	D5	D4	D3	D2	D1	D0
DOut7	DOut6	DOut5	DOut4	DOut3	DOut2	DOut1	DOut0

 *Registr je po resetu, resp. zapnutí počítače, vynulován.*

## 5.8. DigInReg (RD, Base+3)

Tento registr plní funkci vstupního digitálního portu; význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru portu.

D7	D6	D5	D4	D3	D2	D1	D0
DIn7	DIn6	DIn5	DIn4	DIn3	DIn2	DIn1	DIn0

## 6. Popis pracovních režimů desky

### 6.1. Pracovní režim RST

V tomto pracovním režimu je nastavena deska po zapnutí počítače nebo HW resetu. Procesor desky je trvale resetován, tzn. je ve stavu nečinnosti; deska neměří ani jinak nezpracovává data, nereaguje na zapisované instrukce apod. Jedinou funkční částí PC karty tak zůstávají digitální porty.

### 6.2. Pracovní režim RUN\_1

V tomto pracovním režimu je umožněn běh instalovaného firmware; mikropočítač desky vykonává instrukce instalovaného firmware. Režim je aktivován zápisem dat "1" do registru ModeReg a deaktivován zápisem data "0".

Firmware v tomto režimu zpracovává data - programovací pakety - přenášená prostřednictvím FIFO paměti; tzn. po načtení 16. byte naprogramuje generátory. Nejsou-li ve FIFO paměti žádná data, řídicí mikropočítač čeká.

Data jsou přenášena v programovacích paketech a jak vyplývá z popisu tabulek Tab.7. a Tab.8., karta umožňuje současně přeprogramovat všechny parametry současně nebo pouze jejich vybranou část.

Z tabulky Tab.7. je zřejmá struktura celého programovacího paketu; jediný řídicí registr a tři oddělené datové bloky pro generátory.

Struktura řídicího registru:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	DAC_2	DAC_1	DAC_0	RSRV	DDS_2	DDS_1	DDS_0

DDS_x	<ul style="list-style-type: none"> <li>aktivační příznak datového paketu</li> </ul>
	0                      DDS odpovídajícího kanálu neprogramovat
	1                      DDS odpovídajícího kanálu programovat
DAC_x	<ul style="list-style-type: none"> <li>aktivační příznak datového paketu</li> </ul>
	0                      DAC odpovídajícího kanálu neprogramovat
	1                      DAC odpovídajícího kanálu programovat
RSRV	<ul style="list-style-type: none"> <li>rezerva</li> </ul>

 *Budou-li všechny bity nulové, firmware data načte, ale nebude je programovat.*

 *DAC převodníky jsou použity pro řízení napětí výstupního signálu.*

## 7. Popis digitálních vstupů a výstupů

### 7.1. Úvod

Karta obsahuje 8 vstupních kanálů a 8 kanálů výstupních; všechny signály obou portů jsou umístěny na dvou konektorech DIL10.

V případě potřeby lze použít redukční kabel DIG-14, který převede signály z obou konektorů DIL10 na 2x Cannon9.

### 7.2. Zapojení vstupů

Pro realizaci vstupů bylo využito obvodů technologie HCTMOS. Jejich výhodné vlastnosti (vysoká vstupní impedance a zanedbatelný vstupní proud, ochranné diody) byly využity pro přepětovou ochranu do 24 V.

Protože klidový stav vstupů odpovídá logické úrovni H (ošetřeno rezistory 10 k $\Omega$  proti napětí +5V), lze je použít i pro připojení signálů typu "otevřený kolektor".

### 7.3. Zapojení výstupů

Pro realizaci výstupů bylo využito obvodů technologie HCMOS. Pro jejich výhodné vlastnosti (vysoký výstupní proud a zanedbatelný napěťový úbytek) je lze využít pro přímé buzení LED, optronů, popř. i miniaturních relé 5V / 500  $\Omega$ .

## 8. Kalibrace

### 8.1. Úvod

Karta PCG-1030 umožňuje kalibraci výstupního napětí analogových výstupů nezávisle pro každý kanál. Všechny ostatní parametry jsou definovány v nejvyšší přesnosti v digitální formě a nelze je proto dalšími nastavovacími prvky ovlivnit.

### 8.2. Kalibrace výstupního napětí generátorů

Pro kalibraci výstupního napětí generátorů jsou určeny tři trimry; jejich umístění na kartě PCG-1030 je zakresleno na obrázku Obr.2.

Trimry mají tuto funkci:

P1	trimr pro nastavení výstupního napětí kanálu CH0
P2	trimr pro nastavení výstupního napětí kanálu CH1
P3	trimr pro nastavení výstupního napětí kanálu CH2

Postup kalibrace:

- 1) Na výstup kalibrovaného generátoru připojit přesný měřicí přístroj. (voltmetr, osciloskop apod.)
- 2) Nastavit signál kalibrovaného generátoru na parametry 1kHz a 2,55V.
- 3) Odpovídajícím trimrem nastavit požadované výstupní napětí.



**Důležité upozornění:**

*Při nastavování pomocí voltmetru je nutné zohlednit, že výstupní napětí 2,55V představuje vrcholovou hodnotu a nikoliv efektivní.*

SW1							I/O adresa (Base)
SW - 2	SW - 3	SW - 4	SW - 5	SW - 6	SW - 7	SW - 8	
ON	200 <sub>H</sub>						
ON	ON	ON	ON	ON	ON	OFF	204 <sub>H</sub>
---	---	---	---	---	---	---	
OFF	ON	ON	ON	ON	ON	ON	300 <sub>H</sub>
OFF	ON	ON	ON	ON	ON	OFF	304 <sub>H</sub>
---	---	---	---	---	---	---	
OFF	OFF	OFF	OFF	OFF	OFF	ON	3F8 <sub>H</sub>
OFF	3FC <sub>H</sub>						

Tab.1. Volba bázové adresy.



Adresa 300<sub>H</sub> vyznačená v tabulce je nastavena od výrobce (segment SW-1 je rezervován).

Počáteční adresa	Koncová adresa	I/O zařízení
200 <sub>H</sub>	207 <sub>H</sub>	adapter pro hry
278 <sub>H</sub>	27F <sub>H</sub>	2. tiskárna
2F8 <sub>H</sub>	2FF <sub>H</sub>	2. adapter asynchronní komunikace
300 <sub>H</sub>	31F <sub>H</sub>	prototypová deska
360 <sub>H</sub>	36F <sub>H</sub>	rezerva
378 <sub>H</sub>	37F <sub>H</sub>	1. tiskárna
380 <sub>H</sub>	38F <sub>H</sub>	synchronní komunikace SDLC
3A0 <sub>H</sub>	3AF <sub>H</sub>	synchronní komunikace BSC
3B0 <sub>H</sub>	3BF <sub>H</sub>	monochromatický display + tiskárna
3C0 <sub>H</sub>	3CF <sub>H</sub>	rezerva
3D0 <sub>H</sub>	3DF <sub>H</sub>	barevný display
3F0 <sub>H</sub>	3F7 <sub>H</sub>	řadič disket
3F8 <sub>H</sub>	3FF <sub>H</sub>	1. adapter asynchronní komunikace

Tab.2. Seznam I/O adres standardních zařízení.

<b>funkce</b>	<b>P I N</b>	<b>P I N</b>	<b>funkce</b>
GND	C5		
GND	C4	C9	TTL OUT CH0
GND	C3	C8	TTL OUT CH1
GND	C2	C7	TTL OUT CH2
GND	C1	C6	+ 5 V

Tab.3. Zapojení vývodů konektoru Cannon 9 (TTL výstupy generátorů).

<b>funkce</b>	<b>P I N</b>	<b>P I N</b>	<b>funkce</b>
Dig IN / OUT 0	D1	D2	Dig IN / OUT 1
Dig IN / OUT 2	D3	D4	Dig IN / OUT 3
Dig IN / OUT 4	D5	D6	Dig IN / OUT 5
Dig IN / OUT 6	D7	D8	Dig IN / OUT 7
GND	D9	D10	+ 5 V

Tab.4. Zapojení vývodů konektoru DIL10 digitálních portů.

<b>funkce</b>	<b>P I N</b>	<b>P I N</b>	<b>funkce</b>
GND	C5		
Dig IN / OUT 6	C4	C9	Dig IN / OUT 7
Dig IN / OUT 4	C3	C8	Dig IN / OUT 5
Dig IN / OUT 2	C2	C7	Dig IN / OUT 3
Dig IN / OUT 0	C1	C6	Dig IN / OUT 1

Tab.5. Zapojení vývodů konektoru Cannon 9 digitálních portů (DIG-14).

Adresa	REGISTR	
	WR	RD
Base+0	FIFOReg	StatusReg
Base+1	CtrlReg	---
Base+2	CWReg	ModeReg
Base+3	DigInReg	DigOutReg

Tab.6. Struktura adresového prostoru.

BYTE	NÁZEV	POPIS
0	CW_DDS	řídící registr pro aktivaci parametrů paketu
1	DDS_0	datový blok pro generátor CH0
2		
3		
4		
5		
6	DDS_1	datový blok pro generátor CH1
7		
8		
9		
10		
11	DDS_2	datový blok pro generátor CH2
12		
13		
14		
15		

Tab.7. Struktura programovacího paketu.

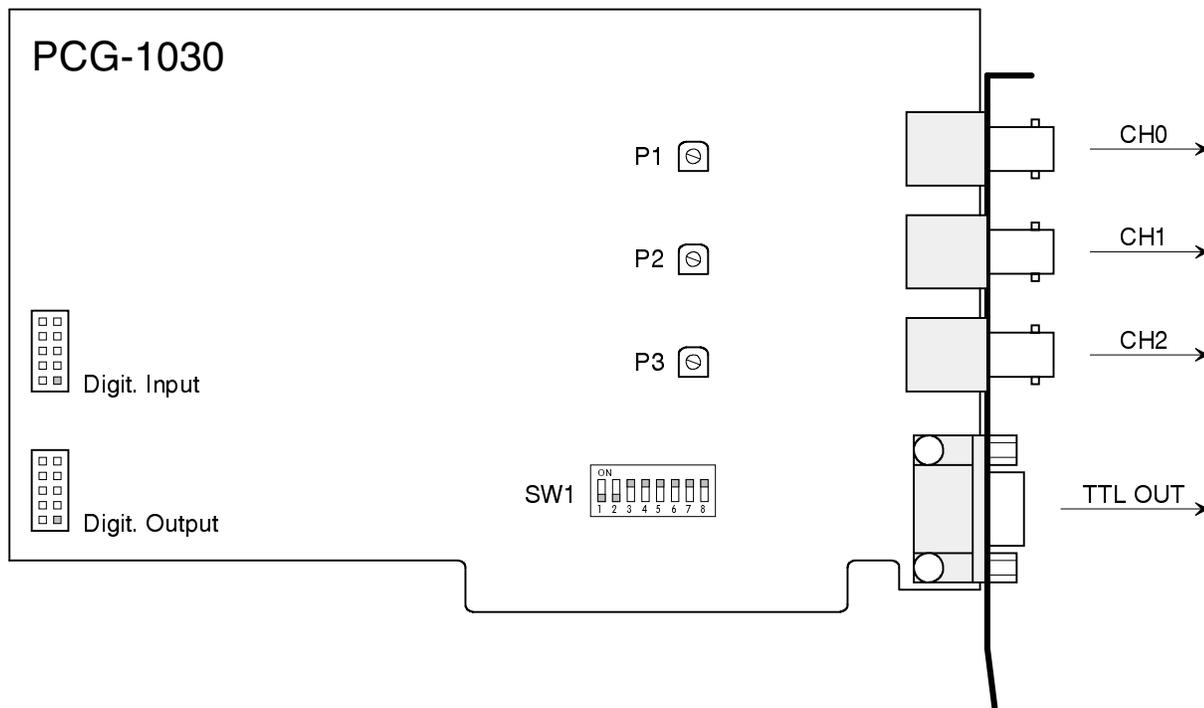
BYTE	D7	D6	D5	D4	D3	D2	D1	D0
X+0	FQ_07	FQ_06	FQ_05	FQ_04	FQ_03	FQ_02	FQ_01	FQ_00
X+1	FQ_15	FQ_14	FQ_13	FQ_12	FQ_11	FQ_10	FQ_09	FQ_08
X+2	FQ_23	FQ_22	FQ_21	FQ_20	FQ_19	FQ_18	FQ_17	FQ_16
X+3	PH_04	PH_03	PH_02	PH_01	PH_00	FQ_26	FQ_25	FQ_24
X+4	V_07	V_06	V_05	V_04	V_03	V_02	V_01	V_00

Tab.8. Struktura datového bloku generátoru.

Význam dat:

FQ\_26 ÷ FQ\_00                      frekvence signálu (26-bitová data, krok 0,01Hz)  
 PH\_04 ÷ PH\_00                      fáze signálu (5-bitová data, krok 11,25°)  
 V\_07 ÷ V\_00                          napětí signálu (8-bitová data, krok 10 mV<sub>p</sub>)

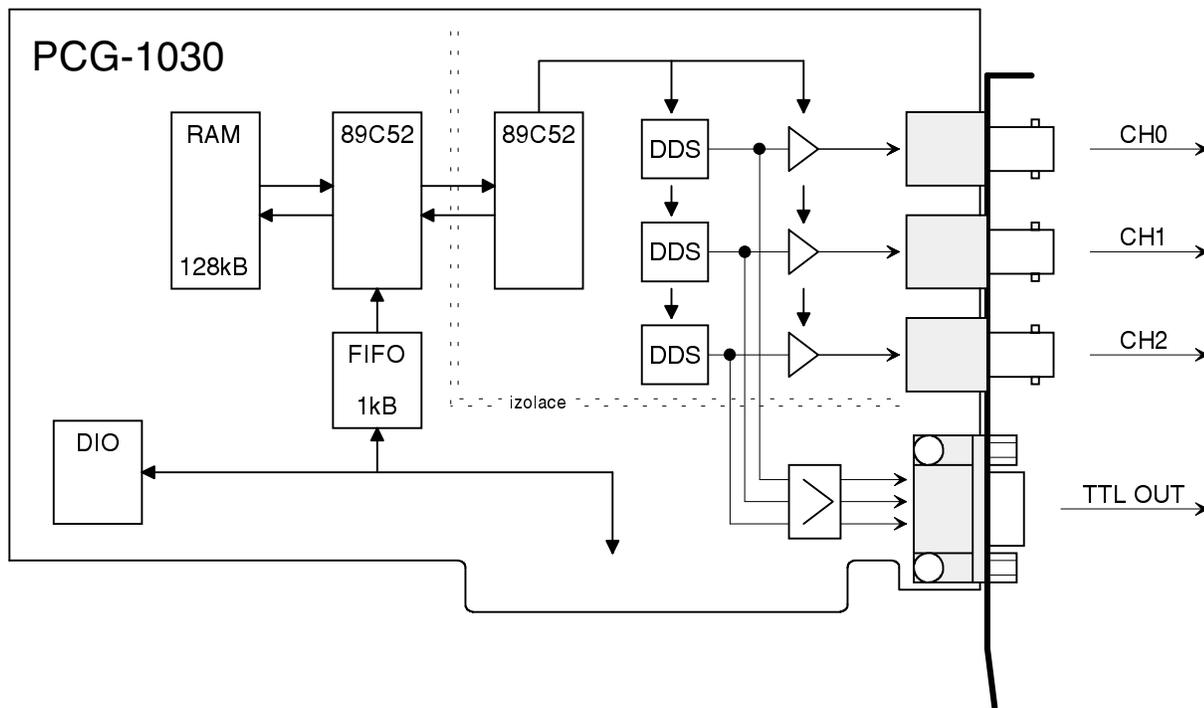
X    umístění datového bloku v programovacím paketu  
 X = 1                                      pro generátor CH0  
 X = 6                                      pro generátor CH1  
 X = 11                                     pro generátor CH2



Obr.1. Rozmístění důležitých prvků na desce PCG-1030.

Význam jednotlivých prvků:

SW1	DIP spínač pro nastavení I/O adresy karty
CH0	výstupní konektor generátoru CH0 (izolovaný harmonický signál)
CH1	výstupní konektor generátoru CH1 (izolovaný harmonický signál)
CH2	výstupní konektor generátoru CH2 (izolovaný harmonický signál)
TTL OUT	výstupní konektor CH0 ÷ CH2 (neizolované TTL signály)
P1	trimr pro nastavení výstupního napětí generátoru CH0
P2	trimr pro nastavení výstupního napětí generátoru CH1
P3	trimr pro nastavení výstupního napětí generátoru CH2
Digit. Input	konektor vstupního digitálního portu
Digit. Output	konektor výstupního digitálního portu

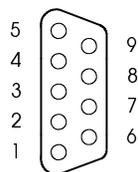


Obr.2. Vnitřní struktura karty PCG-1030.

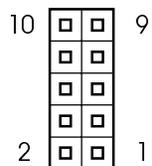
Z obrázku je zřejmé rozdělení činnosti do dvou mikropočítačů; první plní funkci interface mezi ISA sběrnici počítače a datovou pamětí (kanál realizován pamětí FIFO), druhý je pak určen pro interpretaci dat a programování DDS procesorů a zesilovačů s řízeným zesílením. Komunikaci mezi oběma mikropočítači zajišťuje opticky oddělená komunikační linka.

Harmonické signály jsou vyvedeny na tři konektory BNC (signály jsou společně izolovány od počítače), výstupní TTL signály pak na konektor Cannon 9 (budiče spojeny s obvody počítače).

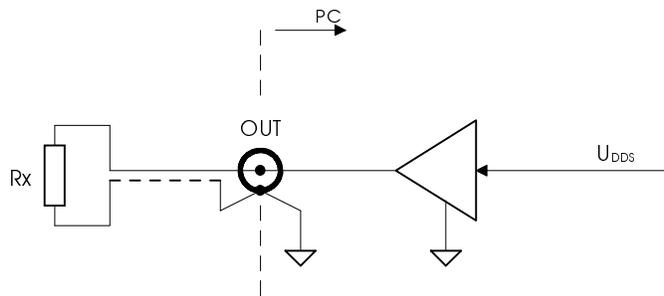
Doplňkové digitální porty jsou k dispozici na konektorech DIL10 umístěných na zadní straně PC karty; pro jejich vyvedení na zadní stranu počítače je určen propojovací kabel s PC štítkem DIG-14.



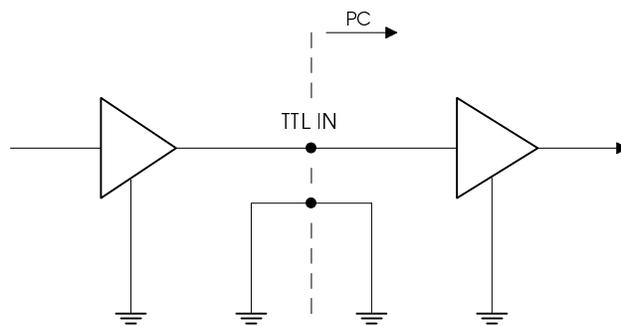
Obr.3. Rozmístění vývodů na konektoru Cannon 9.



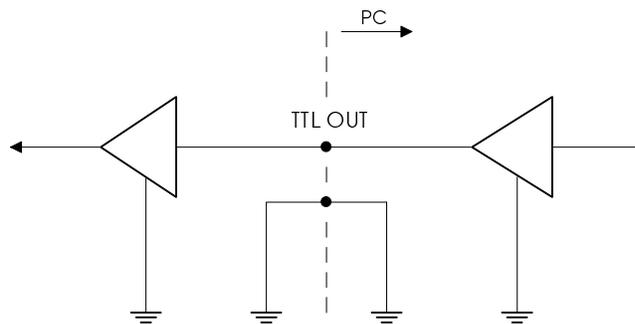
Obr.4. Rozmístění vývodů na konektoru DIL10.



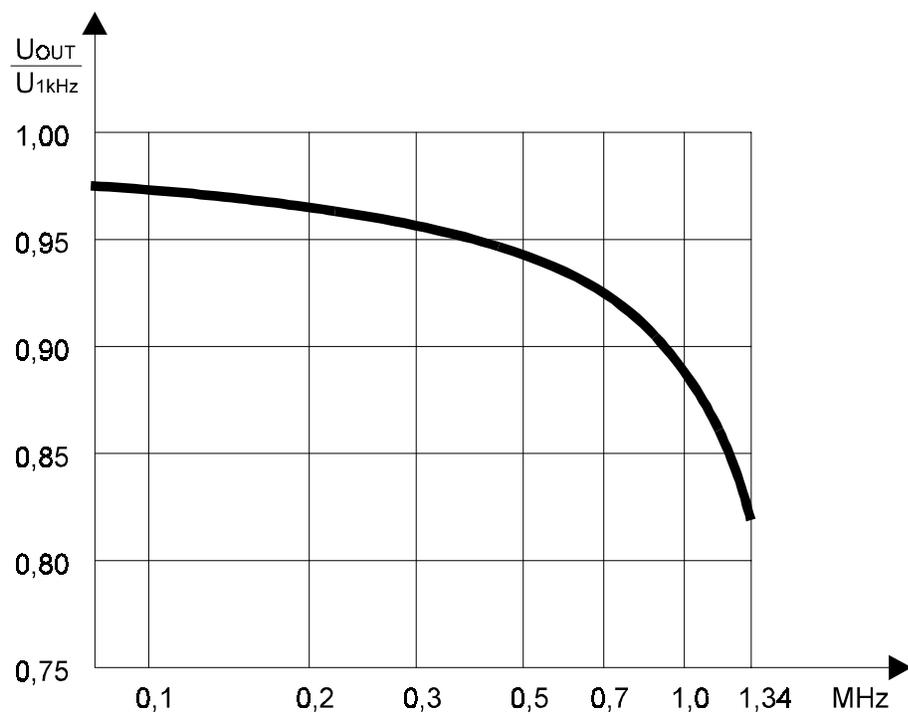
Obr.5. Připojení výstupů harmonických signálů generátorů.



Obr.6. Připojení signálů digitálního portu.



Obr.7. Připojení signálů TTL generátorů a digitálního portu.



Obr.8. Frekvenční závislost výstupního napětí generátorů.

