

PCI-1052

porty RS-485, μ P

Záruční a pozáruční servis, technická podpora:

adresa: TEDIA® spol. s r. o., Zábělská 12, 31211 Plzeň
telefon: +420 377 478 168
fax: +420 377 478 169
e-mail: podpora_com@tedia.cz
internet: <http://www.tedia.cz>, <http://www.pci.cz>

Uživatelská příručka a její součásti jsou autorským dílem chráněným ustanovením zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů ("Autorský zákon").

Všechna jména a názvy použité v textu mohou být chráněnými známkami nebo obchodními názvy výrobků příslušných firem.

ES prohlášení o shodě

Prohlašujeme na svoji výlučnou odpovědnost, že komunikační karty
řady PCI-1052

jsou ve shodě s normami

ČSN EN 55022:99 včetně změn
ČSN EN 55024:99 včetně změn

a nařízením vlády

NV 169/1997 Sb. ve znění pozdějších předpisů

a nesou proto označení "CE".

Zkušební protokol:

202199-01 vydaný EZÚ Praha



Datum vydání ES prohlášení:

30.6.2002

Výrobce:

TEDIA® spol. s r. o., Zábělská 12, 31211 Plzeň

Odpovědný zástupce:

Ing. Martin Linda, jednatel společnosti

Podpis odpovědného zástupce:

A handwritten signature in black ink, reading 'Martin Linda', written in a cursive style.

Obsah

1.	Úvodní popis	
1.1.	Charakteristika	I - 1
1.2.	Použití	I - 1
2.	Technické parametry	
2.1.	Komunikační porty	I - 2
2.2.	Výstupní obvody	I - 2
2.3.	Ostatní údaje	I - 2
3.	Instalace karty	
3.1.	Úvod	I - 3
3.2.	Vlastní instalace	I - 3
3.3.	Zapojení konektorů	I - 3
3.4.	Rozmístění LED a konektorů	I - 3
4.	PCI sběrnice, základní informace	
4.1.	Základní pojmy	I - 4
4.2.	Řadič OX9162	I - 4
4.3.	Implementace PCI BUS u PCI-1052	I - 5
4.4.	Porovnání MEM a I/O přístupu	I - 5
5.	Struktura adresového prostoru	
5.1.	Úvod	I - 6
5.2.	DPRAMReg	I - 6
5.3.	CWReg	I - 6
5.4.	IRQEnReg	I - 6
6.	Popis firmware	
6.1.	Úvod	I - 8
6.2.	Pracovní režimy	I - 8
6.3.	Režim "setup"	I - 8
6.4.	Režim "komunikace"	I - 8
6.5.	Povely v režimu 1	I - 10
7.	Programová obsluha	
7.1.	Úvod	I - 11
7.2.	Inicializace řídicího mikropočítače	I - 11
7.3.	Inicializace logiky přerušení	I - 11
7.4.	Přenos dat	I - 11
7.5.	Uklončení činnosti	I - 11
7.6.	Příklady programové obsluhy v režimu 1	I - 12

Přílohy:

Příloha II - tabulky

Příloha III - obrázky

Příloha IV - OX9162

Prázdná Strana

1. Úvodní popis

1.1. Charakteristika

PCI-1052 je komunikační karta se dvěma porty standardu RS-485 určená pro podporu stavebnice externích modulů distribuovaných systémů monitorování a řízení technologických procesů MicroUnit serie.

K základním přednostem karty patří zejména autonomní obsluha komunikační linky a tedy i zjednodušená podpora ze strany aplikačního programu bez zvláštních nároků na přesné časování RS-485 s protokolem AIBUS-2.

Karta PCI-1052 je určena pro počítače PC kompatibilní a musí být instalována do PCI slotu s podporou 5V a 33MHz.

Celkový pohled na desku PCI-1052 je zakreslen na obrázku Obr.1.

PC karta PCI-1052 obsahuje:

- řídicí mikropočítač s integrovaným řadičem komunikační linky a dvojitými opticky oddělenými budiči standardu RS-485
- dvoubránovou paměť pro obousměrný přenos příkazů a dat mezi PC a řídicím mikropočítačem umožňující současný oboustranný přístup
- programovatelnou logiku přerušení se širokou podporou kanálů přerušení
- firmware s podporou komunikačního protokolu AIBUS-2 (rychlý a spolehlivý binární protokol se síťovou podporou až 256 jednotek)

1.2. Použití

Karty vyhovují instalaci do počítačů se sběrnici PCI v kancelářském, průmyslovém nebo jiném provedení a jsou určeny pro přenos dat.


Komunikační linka je realizována vodičem vyhovujícím standardu RS-485 (tzn. stíněný dvou vodič, průřez vodiče minimálně 0,22 mm², impedance 100÷130Ohm, kapacita vedení cca 60pF/m). Doporučeným typem je kabel Belden 9841.

Karty PCI-1052 mohou být použity výhradně v souladu s doporučeními výrobce uvedenými v této příručce, obecně platnými normami či standardy a to pouze takovým způsobem, aby jejich selháním zaviněným jakýmkoliv způsobem se nemohly stát nebezpečnými osobám nebo majetku.

2. Technické parametry

2.1. Komunikační porty

počet portů:	2	(viz poznámka)
podporovaná rozhraní:	RS-485	
přenášené signály:	TXD/RXD	
řízení směru přenosu RS-485:	automatické	
komunikační řadič:	AT89C52	
pracovní kmitočet:	18,432 MHz	
kapacita dvoubránové paměti:	256 B	
časovač "watchdog":	10 ms	

 Karta má jeden řadič linky a dvojici budičů rozdělující RS-485 vedení na dva segmenty; tato konfigurace tedy neumožňuje současnou komunikaci na obou segmentech odlišnou rychlostí.

2.2. Výstupní obvody

typ budičů linky:	SN75176	
výstupní úroveň H:	3.7V typ.	($I_Z = 33\text{mA}$)
výstupní úroveň L:	1.1V typ.	($I_Z = 33\text{mA}$)
zatěžovací proud:	60mA max.	
vstupní impedance:	12k Ω min.	
vstupní rozdílové napětí:	0.2V min.	
zakončovací impedance:	120 Ω typ.	
ochranné prvky:	transily 5.8V	

2.3. Ostatní údaje

sběrnice:	PCI, 5V, 33MHz
I/O adresa:	PnP PCI BIOS
IRQ kanál:	PnP PCI BIOS
napájení:	+5V
proudový odběr:	max. 400 mA
izolační napětí:	1000V _{DC} max.
rozměry desky:	cca 90 x 125 mm
doporučená délka vodičů:	1200m max.
EMC:	ČSN EN 55022 ČSN EN 50081-1 ČSN EN 50082-1

3. Instalace karty

3.1. Úvod

Při výrobě bylo dbáno na dosažení vysoké kvality a spolehlivosti, rovněž byla věnována pozornost důkladné kontrole před expedicí. Aby nedošlo ke snížení jakosti či poškození při instalaci, doporučujeme Vám pečlivě prostudovat tuto příručku a postupovat podle uvedeného návodu.

Nastavení desky je prováděno výhradně softwarově; deska neobsahuje žádné konfigurační prvky.

3.2. Vlastní instalace

Instalaci karty provádějte zásadně při vypnutém počítači a dodržujte zásady pro manipulaci s obvodovými prvky citlivými na poškození elektrostatickým nábojem. S kartou manipulujte za okraje a nedotýkejte se prsty součástek. Kartu zasuňte po předchozím vyjmutí krycího štítku do volné pozice pro rozšiřující desky počítače a zajistěte šroubem.

3.3. Zapojení konektorů

Zapojení vývodů konektorů je zakresleno na obrázku Obr.2. a popis signálů je uveden v tabulce Tab.1. Připojení desky k systému standardu RS-485 je naznačeno na obrázku Obr.3.

Oproti běžným typům komunikačních karet jsou výstupní obvody portů vybaveny zakončovacími impedancemi; v případě využití je třeba zajistit externí propojení odpovídajících signálů podle tabulky Tab.1.

3.4. Rozmístění LED a konektorů

Na obrázku Obr.1. je vyznačeno rozmístění LED a konektorů na kartě PCI-1052; význam jednotlivých prvků je zřejmý z předešlých odstavců.

4. PCI sběrnice, základní informace

4.1. Základní pojmy

PCI-SIG	PCI Special Interest Group, organizace zajišťující standardizaci PCI sběrnice. PCI-SIG sídlí v Portlandu/USA, má přibližně 800 řádných členů a TEDIA [®] je jedním z nich.
PCI konfigurační registry	slouží pro PnP identifikaci karty, zjištění jejích vlastností (zejména z pohledu PCI sběrnice), požadavků na systémové prostředky a jejich přidělení. PCI konfigurační registry obsahují řadu informací významných pro ovladače a aplikační software, zejména VID/DID, BAR registry, ... PCI registry nejsou určeny pro vlastní funkční přístupy (tzn. datové přenosy) a jsou zpřístupněny speciálními sběrniovými cykly výhradně rozhraním PCI BIOSu; podrobnost lze čerpat ze specifikace PCI BIOS v aktuálním znění.
VID	Vendor ID, unikátní číslo výrobce adaptéru přidělené organizací PCI-SIG jejím členům.
DID	Device ID, unikátní číslo typu PCI karty přidělené výrobcem adaptéru. Číslo může být přiděleno výhradně držitelem příslušného VID.
Subsystem VID/ID	čísla umožňující identifikovat výrobce karty při zachování VID/ID výrobce chipsetu. Je využíváno zejména u implementací standardních řadičů (grafických akcelerátorů, Ethernet řadičů, ...) a umožňuje využití společných driverů.
Class Code	umožňuje zařadit PC kartu do některé předdefinované třídy adaptérů a v některých případech využít společné softwarové podpory.
BAR0 až BAR4	Base Address Register, tzn. básový registr paměťového nebo I/O prostoru. Jednofunkční PCI karta může alokovat až 5 prostorů.

4.2. Řadič OX9162

Použitý řadič se vyznačuje následujícími vlastnostmi:

- 32bit./5V/33MHz target interface kompatibilní s PCI rev. 2.2 (tzn. není podporován busmastering)
- implementace celé sady PCI konfiguračních registrů
- implementace všech pěti BAR registrů
- 8-bitová pass-through lokální sběrnice s podporou přerušení
- konfigurace chipsetu prostřednictvím EEPROM

4.3. Implementace PCI BUS u PCI-1052

Funkci řadiče PCI sběrnice plní obvod OX9162 s I/O a MEM prostory konfigurovanými v maximálním možném rozsahu.

Karta využívá následujících PCI ID:

VID	1760 _H	tzn. VID přidělené TEDIA®
DID	0180 _H	tzn. DID přidělené kartě PCI-1052
Sub VID	1760 _H	totéž jako VID
Sub ID	0003 _H	verze karty (aktuální při vydání manuálu)
Class Code	118000 _H	třída "other data acquisition adapter"

Využití BAR prostorů:

BAR0	mapován jako I/O, slouží pro přístup první polovině registrů; u PCI-1052 je konfigurován na velikost 256B s datovou strukturou byte
BAR1	mapován jako I/O, slouží pro přístup k první polovině registrů; u PCI-1052 je konfigurován na velikost 256B s datovou strukturou byte
BAR2	mapován jako I/O, slouží pro přístup k konfiguračním registrům chipsetu OX9162; je konfigurován na velikost 32B s datovou strukturou byte/word/double word
BAR3	mapován jako MEM, slouží pro přístup ke konfiguračním registrům chipsetu OX9162 (má totožný význam jako BAR2); je konfigurován na velikost 4kB s datovou strukturou byte/word/double word
BAR4	mapován jako MEM, slouží pro přístup ke všem funkčním registrům; je konfigurován na velikost 4kB s datovou strukturou double word (avšak významných 8 nejnižších bitů)

Podrobnější informace k mapování registrů v jednotlivých prostorech jsou uvedeny v příloze tohoto manuálu.

4.4. Porovnání MEM a I/O přístupu

PCI specifikace definuje dva typy registrových prostorů - I/O a paměťový (MEM). Řada adaptérů umožňuje alternativní užití obou typů a periferní obvody mapuje současně do obou prostorů (prostřednictvím dvou BAR).

MEM	prostor existuje na všech hardwarových platformách (tzn. nejen na systémech s procesory Intel x86) a je mj. i proto preferován; jelikož 32-bitové adresování umožňuje mapovat až 4GB paměti, není velikost alokovaného prostoru z praktického hlediska nijak významně omezoována; přístup k perifériím mapovaných přes paměťový prostor je oproti I/O přístupu rychlejší, nebo alespoň není pomalejší; MEM přístup však vyžaduje 32-bitové adresování
I/O	prostor je s ohledem na zpětnou kompatibilitu s 10-bitově adresovanými systémy omezen na 63 intervalů o velikosti 256B; žádný adaptér tedy nemůže alokovat kontinuální prostor o velikosti větší než 256B; výhodou však je jednoduchá podpora v reálném módu procesorů Intel x86 (tzn. například v systému MS-DOS)

5. Struktura adresového prostoru

5.1. Úvod

Následující popis bude uvažovat přístup prostřednictvím prostoru BAR4; v případě využití I/O přístupů (tzn. BAR0/1) jsou adresy registrů modifikovány podle přiřazení uvedeného v příloze tohoto manuálu.



Všechny adresy (např. BAR4+80h) v dalším textu jsou uvedeny v hex formátu.

Čtení a zápis do nedokumentovaných registrů není z důvodu dopředné kompatibility přípustný.

5.2. DPRAMReg (RD/WR, BAR4+0h ÷ BAR4+3FF)

V rozsahu adres první čtvrtiny BAR4 (tzn. v celém rozsahu BAR0) je mapována dvoubránová paměť pro komunikaci s řídicím mikropočítačem.

Datová struktura dvoubránové paměti je závislá na verzi firmware a její popis je proto uveden v samostatné kapitole věnované programové obsluze karty.

5.3. CWReg (WR, BAR4+400)

Tento registr slouží k ovládání základních funkcí komunikační karty; registr je po resetu PC nulován.

Struktura tohoto registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
---	---	---	---	RST	---	---	---

RUN bit ovládá signál RST mikropočítače
 0 mikropočítač "resetován"
 1 mikropočítač aktivní



Nevyužité bity nemají žádný význam a jsou rezervovány pro rozšíření funkcí; z důvodu dopředné kompatibility lze doporučit jejich nastavení do logické úrovně "0".

5.4. IRQEnReg (WR, BAR4+404)

Tento registr slouží k povolení požadavku o přerušení, tzn. aktivace přerušovací logiky PCI sběrnice.

Protože deska obsahuje jediný zdroj přerušení, není implementován žádný stavový registr identifikující přerušení a ani k nulování požadavku o přerušení není vyhrazen žádný speciální registr; nulování požadavku je provedeno zakázáním a opětovným povolením přerušení.

Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
---	---	---	---	---	---	---	IRQEN

IRQEN

- 0 = přerušovací logika sběrnice neaktivní
1 = přerušovací logika sběrnice aktivována



Nevyužité bity nemají žádný význam a jsou rezervovány pro rozšíření funkcí; z důvodu dopředné kompatibility lze doporučit jejich nastavení do logické úrovně "0".

6. Popis firmware

6.1. Úvod

Dále uvedený popis odráží stav firmware verze 1.0 a uvedené funkce budou podporovány i dalšími verzemi. Funkce, které budou implementovány do nových verzí, budou dokumentovány podle rozsahu změn v dodatcích uživatelské příručky, v souborech na disketě nebo v samostatné příručce.

6.2. Pracovní režimy

Firmware karty má implementovány dva pracovní režimy; režim 0 (klidový režim) a režim 1 (standardní komunikace AIBus-2); k jejich volbě slouží registr MODE, tzn. buňka DPRAM na adrese 255.

6.3. Režim "setup"

Pro režim "setup" platí struktura DPRAM uvedené v tabulce Tab.2.

Režim má implementován jediný povel pro načtení identifikačního řetězce (povel 1; do DPRAM zapíše řetězec obsahující typ karty, verze a datum vytvoření firmware v ASCII tvaru).

6.4. Režim "komunikace"

Tento režim je určen pro vlastní přenos dat prostřednictvím sítě AIBUS-2 a platí pro něj struktura DPRAM uvedené v tabulkách Tab.3. a Tab.4.

Obsah DPRAM je rozdělen do sedmi datových bloků, jednoho konfiguračního bloku a dvou speciálních registrů.

Význam registrů v datových blocích:

ADR	adresa modulu, se kterým bude komunikováno (viz. popis AIBus-2)
FCE	funkce modulu, se kterým bude komunikováno (viz. popis AIBus-2)
PER	periferie modulu, se kterým bude komunikováno (viz. popis AIBus-2)
CTRL	příkaz modulu, se kterým bude komunikováno (viz. popis AIBus-2)
TDx	vlastní vysílaná data (4 byte v pořadí dle popisu AIBus-2)
RDx	přijátá data (4/16 byte v pořadí dle popisu AIBus-2)
TSx	časová značka přijatých dat; po vyhodnocení odpovědi modulu je přenesena aktuální hodnota RT čítače (v případě opakování po vyhodnocení poslední odpovědi)
CBL	volby komunikační linky a počtu opakování <ul style="list-style-type: none"> • nejnížší 4 bity udávají počet opakování při chybě komunikace (0÷15) • bity D5/D4 udávají, se kterou linkou bude komunikováno <ul style="list-style-type: none"> 00 = žádná linka (pro případ dávkového zpracování) 01 = zpráva je vyslána pouze na linku 1 10 = zpráva je vyslána pouze na linku 2 11 = zpráva je vyslána na obě linky (pouze za podmínky shodné přenosové rychlosti a timeoutů) • dva nejvyšší bity jsou nevyužity (rezervovány pro další užití)

SBL1	stavové příznaky linky <ul style="list-style-type: none"> • nejnižší 4 bity udávají počet opakovaných pokusů komunikace • D4 aktivita 1. linky v průběhu posledního opakování komunikace • D5 aktivita 2. linky v průběhu posledního opakování komunikace • D6 aktivita 1. linky v průběhu všech pokusů komunikace • D7 aktivita 2. linky v průběhu všech pokusů komunikace Všechny příznaky jsou aktivní v úrovni H.																				
SBM1	"Status Byte" modulu přenesený z přijatých dat (viz. popis AIBus-2)																				
SBB1	stavové příznaky průběhu komunikace daného bloku <table> <tr> <td>0</td> <td>= komunikace proběhla úspěšně</td> </tr> <tr> <td>1</td> <td>= neznámá komunikační rychlost v registrech TBD1/TBD2</td> </tr> <tr> <td>2</td> <td>= rozdílné timeouty nebo komunikační rychlost při požadavku o současnou komunikaci oběma linkami</td> </tr> <tr> <td>3</td> <td>= chyba při vysílání zprávy (nepotvrzený vyslaný znak)</td> </tr> <tr> <td>4</td> <td>= nepřišla žádná odpověď v době definované timeoutem</td> </tr> <tr> <td>5</td> <td>= nepřišel první platný znak v době definované timeoutem</td> </tr> <tr> <td>6</td> <td>= nedokončená přijímaná zpráva (tzn. prodleva mezi znaky větší než doba potřebná pro přenos tří znaků)</td> </tr> <tr> <td>7</td> <td>= chyba parity přijaté zprávy</td> </tr> <tr> <td>8</td> <td>= chyba hlavičky přijaté zprávy</td> </tr> <tr> <td>9</td> <td>= chyba CRC16 přijaté zprávy</td> </tr> </table>	0	= komunikace proběhla úspěšně	1	= neznámá komunikační rychlost v registrech TBD1/TBD2	2	= rozdílné timeouty nebo komunikační rychlost při požadavku o současnou komunikaci oběma linkami	3	= chyba při vysílání zprávy (nepotvrzený vyslaný znak)	4	= nepřišla žádná odpověď v době definované timeoutem	5	= nepřišel první platný znak v době definované timeoutem	6	= nedokončená přijímaná zpráva (tzn. prodleva mezi znaky větší než doba potřebná pro přenos tří znaků)	7	= chyba parity přijaté zprávy	8	= chyba hlavičky přijaté zprávy	9	= chyba CRC16 přijaté zprávy
0	= komunikace proběhla úspěšně																				
1	= neznámá komunikační rychlost v registrech TBD1/TBD2																				
2	= rozdílné timeouty nebo komunikační rychlost při požadavku o současnou komunikaci oběma linkami																				
3	= chyba při vysílání zprávy (nepotvrzený vyslaný znak)																				
4	= nepřišla žádná odpověď v době definované timeoutem																				
5	= nepřišel první platný znak v době definované timeoutem																				
6	= nedokončená přijímaná zpráva (tzn. prodleva mezi znaky větší než doba potřebná pro přenos tří znaků)																				
7	= chyba parity přijaté zprávy																				
8	= chyba hlavičky přijaté zprávy																				
9	= chyba CRC16 přijaté zprávy																				

Význam registrů v konfiguračním bloku:

TMx1	doba potřebná na provedení prvního bloku (16bitová hodnota v pořadí nižší byte - vyšší byte, uvedeno v ms)
TMx2	doba potřebná na provedení druhého bloku, formát jako TMx1
TMx3	doba potřebná na provedení třetího bloku, formát jako TMx1
TMx4	doba potřebná na provedení čtvrtého bloku, formát jako TMx1
TMx5	doba potřebná na provedení pátého bloku, formát jako TMx1
TMx6	doba potřebná na provedení šestého bloku, formát jako TMx1
TMx7	doba potřebná na provedení sedmého bloku, formát jako TMx1
ACL	stavový příznak signalizující aktivitu linek v klidovém stavu (nastavení bitů signalizuje nadlimitní rušivé signály na lince) <ul style="list-style-type: none"> • D0 aktivita 1. linky (aktivní v úrovni H) • D1 aktivita 2. linky (aktivní v úrovni H) • nejvyšších 6 bitů nevyužito
RTCNT	volně běžící 32-bitový čítač inkrementovaný každou milisekundu (data uložena v pořadí nejnižším byte počínaje), slouží jako základna pro časové značky (viz popis datových bloků)
DTCNT	registr určený pro přednastavení a čtení RTCNT (povelem 128 jsou data přenesena do čítače, povelem 129 pak z čítače do registru)
TOL1	timeout pro komunikaci s první linkou (16bitová hodnota v pořadí nižší byte - vyšší byte, uvedeno v ms)
TOL2	timeout pro komunikaci s druhou linkou, formát jako TOL1

- TBD1 přenosová rychlost první linky
 - 0 = 600 Bd
 - 1 = 1200 Bd
 - 2 = 2400 Bd
 - 3 = 4800 Bd
 - 4 = 9600 Bd
 - 5 = 19200 Bd
 - 6 = 38400 Bd
 - 7 = 57600 Bd
 - 8 = 115200 Bd
- TBD2 přenosová rychlost druhé linky (viz tabulka podporovaných rychlostí)



Pokud má být komunikováno oběma linkami současně, musí být nastavena stejná rychlost a stejný timeout (registry TBD1, TBD2, TOL1 a TOL2).

Význam speciálních registrů:

- CTRL povel k provedení akce (viz. další odstavec)
- MODE pracovní režim karty (viz popis programové obsluhy)
 - 0 = klidový režim
 - 1 = režim standardní komunikace AIBus-2

6.5. Povel v režimu 1

Povely jsou určeny pro předávání instrukcí mikro počítači registrem CTRL.

Základní povely:

- 1 = provedení komunikace podle dat v prvním bloku
- 2 = provedení komunikace podle dat v druhém bloku
- ...
- 7 = provedení komunikace podle dat v sedmém bloku
- 128 = přednastavení RT čítače (přenos DTCNT -> RTCNT)
- 129 = přednastavení RT čítače (přenos RTCNT -> DTCNT)
- 130 = nulování registru ACL signalizujícího aktivitu linek

Dávkové povely:

Dávkové povely jsou určeny pro provedení vícenásobné komunikace, tzn. na jeden požadavek PC je provedeno více bloků. Struktura povelu je následující:

D7	D6	D5	D4	D3	D2	D1	D0
0	FBLK			0	LBLK		

- FBLK je číslo prvního zpracovávaného bloku
- LBLK je číslo posledního zpracovávaného bloku
- Příklad: Povel 31_H provede komunikaci postupně s bloky 1-2-3, povel 74_H pak komunikaci s bloky 4-5-6-7.

7. Programová obsluha

7.1. Úvod

Programovou obsluhu karty lze rozdělit do čtyř fází:

1. inicializace řídicího mikropočítače
2. inicializace logiky přerušení
3. vlastní komunikace - přenos dat v síti jednotek
4. ukončení činnosti

Jednotlivé fáze jsou postupně popsány v následujících odstavcích.

7.2. Inicializace řídicího mikropočítače

Inicializace je zahájena spuštěním instalovaného firmware uvolnění signálu RST (viz popis CWReg). Firmware mikropočítače přechází do režimu 0 a postupně vykonává tyto funkce:

- v DPRAM nastaví registr MODE na hodnotu FF_H (provedeno cca 10 μ s po zahájení inicializace, tzn. zápisu do CWReg)
- vynuluje celý obsah DPRAM
- do prvních 32 bytů paměti je zapsán identifikační řetězec obsahující typ karty, verze a datum vytvoření firmware v ASCII tvaru
- po ukončení inicializace firmware (cca 2ms) přechází do klidového režimu (signalizováno vynulováním registru MODE)

Režim 0 rezervován pro budoucí rozšiřování funkcí karty a má implementován jediný povel číslo 1 vypisující identifikační řetězec a umožňuje přepnutí do pracovních režimů (standardně implementován režim 1 s protokolem AIBus-2 pro komunikaci s moduly MicroUnit serie).

7.3. Inicializace logiky přerušení

K inicializaci logiky přerušení lze přistoupit po korektně ukončené inicializační fázi řídicího mikropočítače a přepnutí do zvoleného pracovního režimu (viz odstavec příklady programové obsluhy v daném pracovním režimu).

Inicializace je tvořena jediným krokem, povolením přerušení v registru IRQEnReg.

7.4. Přenos dat

Programová podpora přenosu dat je závislá na verzi implementovaného firmware a je proto popsána v samostatném odstavci. Z obecného hlediska se jedná o přenos dat, příkazů a stavových informací prostřednictvím dvoubránové paměti.

7.5. Ukončení činnosti

V tomto kroku je nutné postupně ukončit běh mikropočítače nulováním registrů IRQEnReg a CWReg; po těchto krocích se karta nachází ve stavu totožném jako po zapnutí, resp. resetu počítače.

7.6. Příklady programové obsluhy v režimu 1

Programová podpora přenosu dat je závislá na verzi implementovaného firmware a je proto popsána v samostatné kapitole. Z obecného hlediska se jedná o přenos dat, příkazů a stavových informací prostřednictvím dvoubránové paměti. musí běžet karta, k čemu je režim 1

- přepnutí a inicializace režimu 1
 - vyčkat na provedení předešlého povelu (tzn. na nulový stav registru CTRL)
 - provést zápis hodnoty 1 do registru MODE
 - mikropočítač nastaví registr CTRL na hodnotu FF_H (cca za 10 μ s)
 - mikropočítač vynuluje DPRAM
 - mikropočítač přednastaví bloky 1-3 na čtení typu a verze modulu s adresou 1
 - mikropočítač nastaví TOL1 a TOL2 na hodnotu 10 (tzn. 10 ms)
 - mikropočítač nastaví TBD1 a TBD2 na hodnotu 4 (tzn. 9600Bd)
 - mikropočítač nastaví registr CTRL na hodnotu 0_H
 - přepnutí a inicializace je provedena do 2ms
- vlastní komunikace
 - nastavit vlastní parametry komunikace (TOL1 a TBD1, popř. TOL2 a TBD2)
 - nastavit data zvoleného bloku (např. pro blok 1 registry s adresami 0-7 a $1C_H$), v případě dávkové komunikace i dalších bloků
 - spustit komunikaci zápisem povelu do registru CTRL
 - vyčkat na provedení komunikace (signalizováno vynulováním registru CTRL, resp. vyvoláním přerušení)
 - vyhodnotit stavový byte, resp. stavové byte bloků (registry SBBx); v případě úspěšné komunikace načíst přijatá data nebo vyhodnotit příčinu neúspěchu
 - načíst a vyhodnotit další diagnostické údaje



V případě neúspěšného pokusu o komunikaci je obsah v registrech přijatých dat daného bloku neplatný (registry jsou vynulovány).

pin Cannon 9	význam signálu RS-485
1	GND
2	---
3	---
4	Z+ (zakončovací impedance pro RX/TX+)
5	Z- (zakončovací impedance pro RX/TX-)
6	---
7	---
8	RX/TX+
9	RX/TX-

Tab.1. Zapojení vývodů konektorů Cannon 9.

adresa (hex)	význam
00 ÷ 1F	datový buffer
20 ÷ FD	rezerva
FE	povel
FF	režim

Tab.2. Struktura DPRAM v režimu 0.

adresa (hex)	význam
00 ÷ 1F	datový buffer - blok 1
20 ÷ 3F	datový buffer - blok 2
40 ÷ 5F	datový buffer - blok 3
60 ÷ 7F	datový buffer - blok 4
80 ÷ 9F	datový buffer - blok 5
A0 ÷ BF	datový buffer - blok 6
C0 ÷ DF	datový buffer - blok 7
E0 ÷ FD	konfigurační blok dat
FE	povel
FF	režim

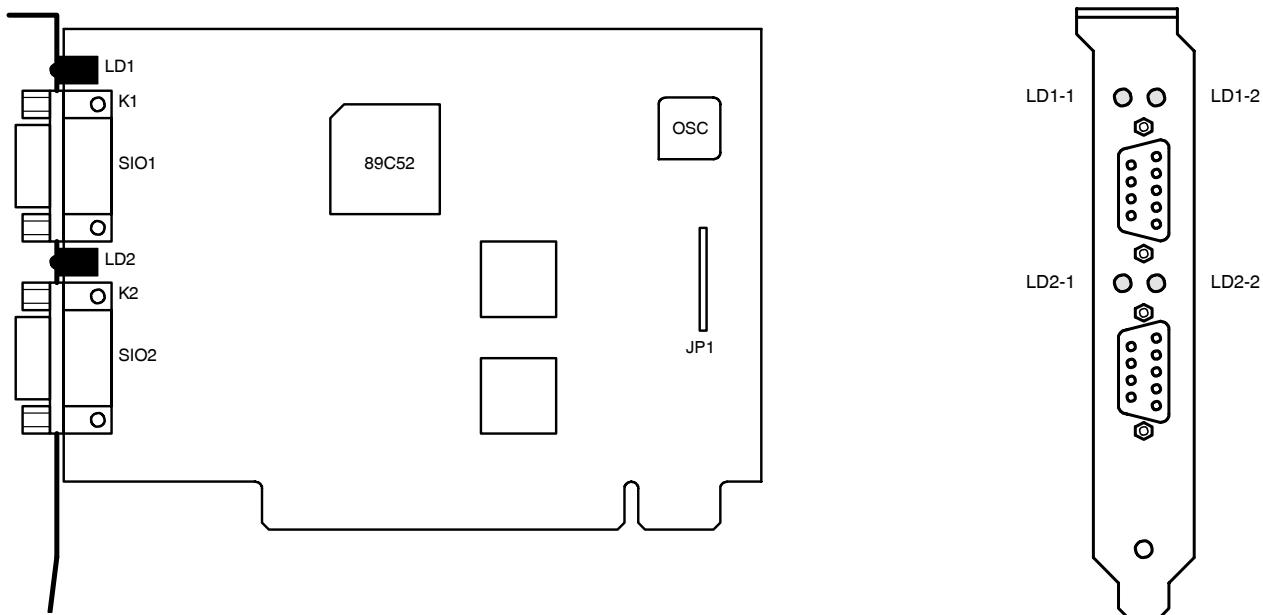
Tab.3. Struktura DPRAM v režimu 1.

adresa (hex)			význam
00	WR	ADR1	vysílaná data - adresa modulu (viz. popis AIBus-2)
01	WR	FCE1	vysílaná data - funkce modulu (viz. popis AIBus-2)
02	WR	PER1	vysílaná data - periférie modulu (viz. popis AIBus-2)
03	WR	CTRL1	vysílaná data - povel modulu (viz. popis AIBus-2)
04 ÷ 07	WR	TDx1	vysílaná data - datové byte (viz. popis AIBus-2)
08 ÷ 17	RD	RDx1	přijatá data - datové byte (viz. popis AIBus-2)
18 ÷ 1B	RD	TSx1	časová značka přijatých dat
1C	WR	CBL1	volby komunikační linky a počtu opakování
1D	RD	SBL1	skutečný počet opakování a status aktivity linek
1E	RD	SBM1	přijatý status byte modulu (viz. popis AIBus-2)
1F	RD	SBB1	stavový byte komunikačního bloku
20 ÷ 3F	blok 2: struktura shodná s blokem 1 (adresy 00÷1F)
40 ÷ 5F	blok 3: struktura shodná s blokem 1 (adresy 00÷1F)
60 ÷ 7F	blok 4: struktura shodná s blokem 1 (adresy 00÷1F)
80 ÷ 9F	blok 5: struktura shodná s blokem 1 (adresy 00÷1F)
A0 ÷ BF	blok 6: struktura shodná s blokem 1 (adresy 00÷1F)
C0 ÷ DF	blok 7: struktura shodná s blokem 1 (adresy 00÷1F)
E0 ÷ E1	RD	TMx1	celková doba komunikace blok 1
E2 ÷ E3	RD	TMx2	celková doba komunikace blok 2
E4 ÷ E5	RD	TMx3	celková doba komunikace blok 3
E6 ÷ E7	RD	TMx4	celková doba komunikace blok 4
E8 ÷ E9	RD	TMx5	celková doba komunikace blok 5
EA ÷ EB	RD	TMx6	celková doba komunikace blok 6
EC ÷ ED	RD	TMx7	celková doba komunikace blok 7
EE	RD	ACL	aktivita linek v klidovém stavu
EF	rezerva
F0 ÷ F3	RD	RTCNT	RT časovač
F4 ÷ F7	WR/RD	DTCNT	data pro přednastavení RT časovače
F8 ÷ F9	WR	TOLx1	timeout pro 1. linku
FA ÷ FB	WR	TOLx2	timeout pro 2. linku
FC	WR	TBD1	komunikační rychlost pro 1. linku
FD	WR	TBD2	komunikační rychlost pro 2. linku
FE	WR/RD	CTRL	povel
FF	WR	MODE	režim

Tab.4. Podrobná struktura DPRAM v režimu 1.

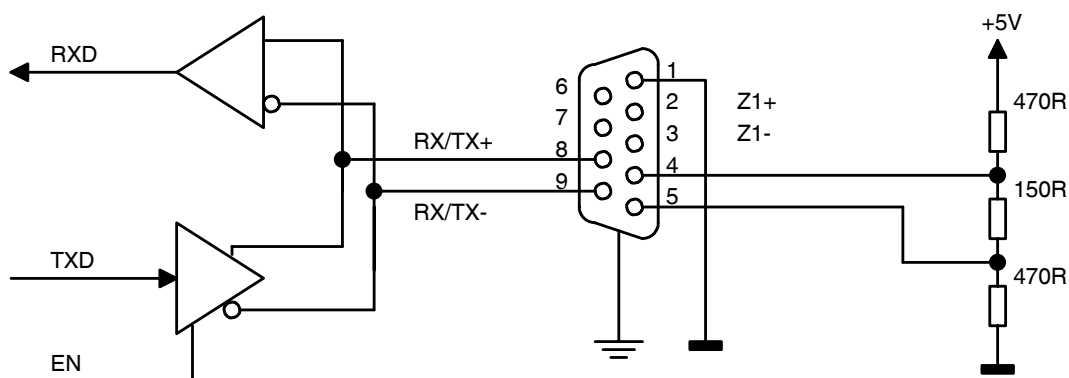


Poznámka RD nebo WR za adresou označuje typickou operaci s registrem; principiálně jsou však všechny registry přístupné pro obě operace.

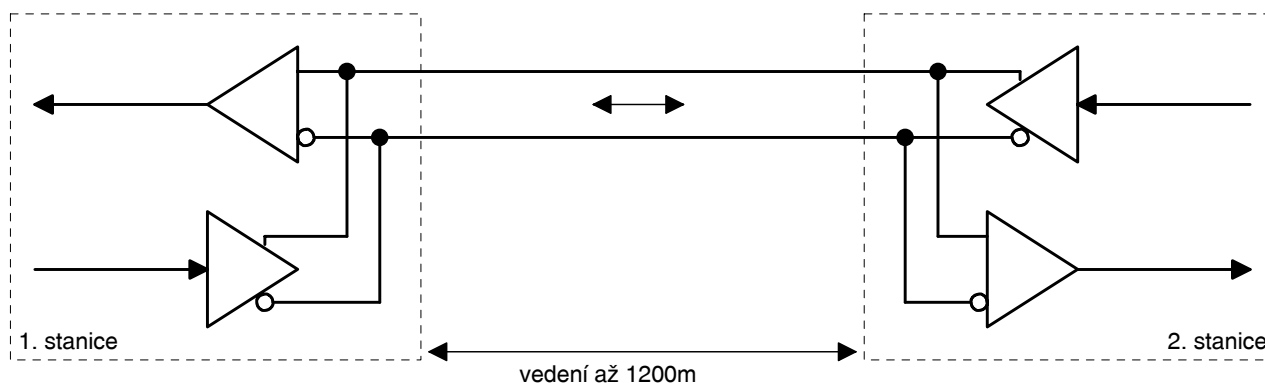


Obr.1. Rozmístění důležitých prvků na desce PCI-1052.

K1, K2	konektory komunikačních portů SIO1 a SIO2
X1, OSC	krystalový oscilátor
JP1	konektor určený pouze pro servisní účely
LD1-1	LED indikující aktivitu portu SIO1 (RXD)
LD1-2	LED indikující aktivitu portu SIO1 (TXD)
LD2-1	LED indikující aktivitu portu SIO2 (RXD)
LD2-2	LED indikující aktivitu portu SIO2 (TXD)



Obr.2. Schema zapojení konektoru karty PCI-1052 (interní schema obvodů desky).
(zakončovací impedance vedení je vázána propojením pinů 4-8 a 5-9)



Obr.3. Schema zapojení linky standardu RS-485.

1. PCI bridge OX9162


1.1. PCI konfigurační registry

Popis vychází z "PCI local bus specification revision 2.2" vydané 18. prosince 1998. Softwarový interface pro přístup do PCI konfiguračních registrů je popsán ve specifikaci PCI BIOS (aktuálně rev. 2.1 z 26.8.1994).

Offset	Data			
	31 24	23 16	15 08	07 00
+00 _H	Device ID (= DID)		Vendor ID (= VID)	
+04 _H	Status		Command	
+08 _H	Class Code			Revision ID
+0C _H	BIST	Header Type	Reserved	Reserved
+10 _H	Base Address Register 0 (BAR0)			
+14 _H	Base Address Register 1 (BAR1)			
+18 _H	Base Address Register 2 (BAR2)			
+1C _H	Base Address Register 3 (BAR3)			
+20 _H	Base Address Register 4 (BAR4)			
+24 _H	Reserved			
+28 _H	Reserved			
+2C _H	Subsystem ID (= Sub ID)		Subsystem VID (= Sub VID)	
+30 _H	Reserved			
+34 _H	Reserved			Cap_Ptr
+38 _H	Reserved			
+3C _H	Reserved	Reserved	Interrupt Pin	Interrupt Line
+40 _H	nepovinná část			
...				
+FF _H				

Obsah důležitých registrů:

VID	1760 _H	TEDIA
DID	definuje typ karty TEDIA	
Class Code	118000 _H	"other data acquisition adapter"
BAR0-BAR4	PnP	bázové adresy prostorů přiřazené PCI BIOSem
Sub VID	1760 _H	TEDIA
Sub ID	podle registrové verze karty	
Interrupt Pin	číslo IRQ kanálu (0 = žádný, 2 = IRQ2, 3 = IRQ3, ... , 15 = IRQ15)	

 Popis ostatních registrů lze nalézt v PCI BUS specifikaci.


1.2. Struktura Base Address Register

Obsah bázových registrů (Base Address Register) je definován PCI BIOSem a aplikace jej nesmí modifikovat; smí jej pouze číst.

Registr má strukturu odlišnou pro MEM a I/O mapování, viz dále:


D31 ... D4	D3	D2	D1	D0
BASE (31-4)	PREF	Type		0

0	určuje MEM prostor
Type	0 0 umístěno v 32-bitovém adresovém prostoru
	0 1 rezerva
	1 0 umístěno v 64-bitovém adresovém prostoru
	1 1 rezerva
PREF	0 funkce "prefetch" není povolena (viz. poznámka)
	1 funkce "prefetch" je povolena (viz. poznámka)
BASE (31-4)	bázová adresa v MEM prostoru (registr obsahuje vyšších 28 bitů; skutečná adresa vznikne operací ADR = BAR and FFFFFFFF0); v případě BASE(31-4)=0 nebyl MEM prostor BIOSem přidělen

 *Funkce "prefetch" není řadičem OX9162 podporována.*

D31 ... D1	D0
BASE (31-1)	1

1	určuje I/O prostor
BASE (31-1)	bázová adresa v I/O prostoru (registr obsahuje vyšších 31 bitů; skutečná adresa vznikne operací ADR = BAR4 and FFFFFFFFE); v případě BASE(31-1)=0 nebyl I/O prostor BIOSem přidělen

 *Přestože Intel x86 architektura pracuje s 16-bitovým I/O adresováním, je podle PCI specifikace nezbytné plné 32-bitové dekódování adresy. Nicméně v počítačích třídy PC obsahuje BIOSem nastavená adresa nulové bity D31-D16 a proto lze I/O přístupy s výhodou využít i v reálném módu Intel x86 procesoru.*

Struktura registru BAR uvedená výše je popsána z pohledu aplikačního software (resp. aplikačního ovladače), kdy BAR poskytuje přiřazenou bázovou adresu, avšak nikoliv velikost prostoru. Tento údaj musí aplikace převzít ze znalosti PCI chipsetu.

Registr má odlišný význam pro detekční procedury PCI BIOSu a metodou "pevně nulovaných" bitů umožní předat i informaci o požadavku na velikost prostoru.

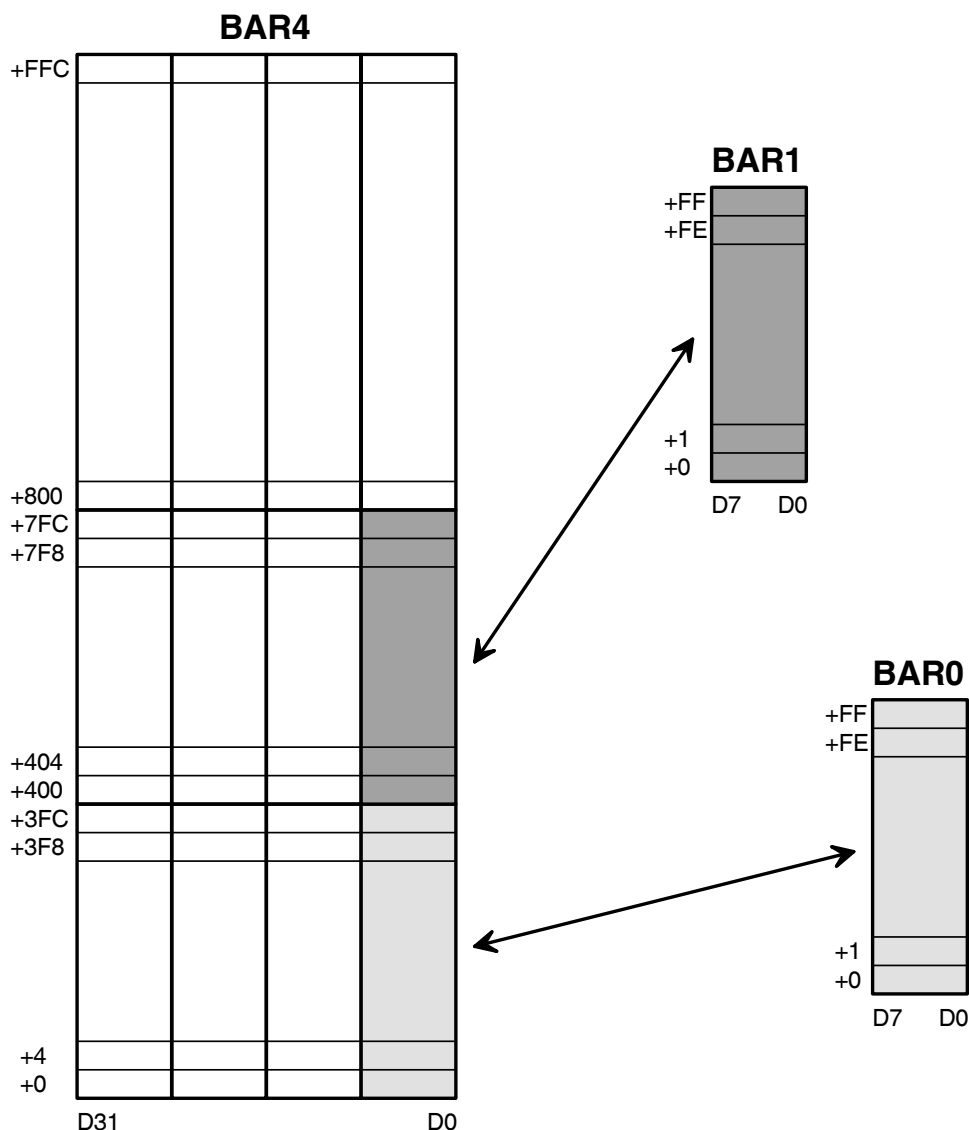
Všechny karty TEDIA s chipsetem OX9162 mají konfigurovány prostory:

BAR0	256B I/O, určen pro přístup do funkčních registrů
BAR1	256B I/O, určen pro přístup do funkčních registrů
BAR2	32B I/O, určen pro přístup dokonfiguračních registrů OX9162
BAR3	4kB MEM, určen pro přístup dokonfiguračních registrů OX9162
BAR4	4kB MEM, určen pro přístup do funkčních registrů

1.3. Mapování registrů v BAR0, BAR1 a BAR4

Lokální "pass-through" sběrnice disponuje rozsahem až 512 registrů (tuto konfiguraci využívají všechny karty TEDIA[®] osazené chipsetem OX9162) a umožňuje tyto registry mapovat současně v MEM i I/O PCI prostoru. Oba alternativní přístupy jsou z pohledu registrů zcela záměnné.

Na níže uvedeném obrázku je zakresleno mapování funkčního registrového bloku o efektivní velikosti 512B do celkových 4kB (~1k x 32) prostoru BAR4 (využitá část prostoru je vyznačena šedou výplní; zbývající registry MEM prostoru jsou rezervovány) a znázorněn alternativní přístup prostřednictvím dvou I/O prostorů BAR0/BAR1 s kapacitou 2x 256B.



Příklad:

$RD[BAR0+01_H] \sim RD[BAR4+04_H]$

$WR[BAR1+FF_H] \sim WR[BAR4+7FC_H]$

Prázdná Strana

