

PCT-2401

24-bit. IRC čítač

IRQ, DIO

Obsah

1.	Úvodní popis	
1.1.	Charakteristika	I - 1
2.	Technické parametry	
2.1.	Řadič LS7166	I - 2
2.2.	Digitální vstupy	I - 2
2.3.	Digitální výstupy	I - 2
2.4.	Ostatní údaje	I - 3
3.	Instalace karty	
3.1.	Úvod	I - 3
3.2.	Nastavení báze adresy	I - 3
3.3.	Vlastní instalace	I - 3
3.4.	Rozmístění přepínačů a konektorů	I - 3
3.5.	Zapojení konektorů	I - 3
4.	Struktura adresového prostoru	
4.1.	Popis adresového dekodéru	I - 4
4.2.	MCRReg	I - 4
4.3.	ICReg	I - 5
4.4.	OCReg	I - 5
4.5.	QCReg	I - 6
4.6.	STSRReg	I - 6
4.7.	CntRdReg	I - 7
4.8.	CntWrReg	I - 7
4.9.	ModeReg	I - 7
4.10.	ENCntReg	I - 8
4.11.	IRQReg	I - 8
4.12.	CtrlIntReg	I - 9
4.13.	IntStsReg	I - 9
4.14.	DigOutReg	I - 10
4.15.	DigInReg	I - 10
5.	Popis digitálních vstupů a výstupů	
5.1.	Úvod	I - 11
5.2.	Zapojení vstupů	I - 11
5.3.	Zapojení výstupů PCT-2401	I - 11
5.4.	Zapojení výstupů PCT-2401N	I - 11

Přílohy:

Příloha II - tabulky

Příloha III - obrázky

Prázdná Strana

1. Úvodní popis

1.1. Charakteristika

PCT-2401 a PCT-2401N jsou rozšiřující moduly standardu PC/104 sdružující funkce IRC čítače a digitálních portů.

K přednostem modulů patří využití jediného napájecího napětí +5V.

Svojí koncepcí jsou moduly určeny zejména pro:

- průmyslové řídicí a regulační systémy
- integrované systémy řízení strojů a přístrojů


Moduly obsahují:

- 24-bitový obousměrný čítač s enkodérem kvadrurních signálů
- 8 digitálních vstupů standardu TTL
- 8 digitálních výstupů standardu TTL (PCT-2401) nebo "NPN otevřený kolektor" (PCT-2401N)

2. Technické parametry


2.1. Řadič LS7166

rozlišení čítače:	24 bitů (binární nebo 6x BCD)
programovatelné vstupy:	A, B vstupy inkrementace/dekrementace C vstup pro reset a blokování čítače D vstup pro přenastavení a strobování
pracovní režimy čítače:	kvadraturní signál X1, X2, X4 "up/down" (rezerva) "count/dir" (rezerva)
typ vstupů:	HC/TTL
vstupní frekvence:	5MHz max.

 *Vstupní porty čítačů jsou odolné proti přepětí ±10V.*


2.2. Digitální vstupy

počet vstupů:	8
typ vstupů:	HC/TTL

 *Vstupní porty jsou odolné proti přepětí ±24V.*

2.3. Digitální výstupy

počet výstupů:	8
PCT-2401:	
typ výstupů:	HC/TTL
zatěžovací impedance výstupů:	500K min. (viz pozn.)
PCT-2401N:	
typ výstupů:	NPN tranzistor
zatížitelnost výstupů:	30V _{SS} / 0,1A (maximální hodnoty)

 *Výstupní digitální porty TTL jsou odolné proti trvalému zkratu proti GND; přivedením napětí mimo rozsah 0÷5V dojde k nevratnému poškození obvodů.*

2.4. Ostatní údaje

typ sběrnice:	PC/104, 8 bitů	(možnost rozšíření)
I/O adresa:	200 _H ÷ 3F8 _H	(64 intervalů)
délka intervalu obsazených adres:	8	
IRQ kanál:	IRQ2 ÷ IRQ11	(voleno programově)
napájecí napětí:	+5V	(100mA max.)
rozměry desky:	96 x 90 mm	
EMC:	ČSN EN 55022 ČSN EN 50081-1 ČSN EN 50082-1	

 *Proudový odběr z napájecího zdroje je uveden pro všechny výstupy v nezátíženém stavu.*

3. Instalace modulu

3.1. Úvod

Při výrobě bylo dbáno na dosažení vysoké kvality a spolehlivosti, rovněž byla věnována pozornost důkladné kontrole před expedicí. Aby nedošlo ke snížení jakosti či poškození při instalaci, doporučujeme Vám pečlivě prostudovat tuto příručku a postupovat podle uvedeného návodu.

3.2. Nastavení báze adresy

Bázovou adresu PC modulu lze nastavit v rozsahu 200_{H} až $3\text{F}8_{\text{H}}$. Volba se provádí prostřednictvím šestinásobného DIL přepínače DIL SW1; význam jednotlivých segmentů je vyznačen v tabulce Tab.1. Při volbě je třeba dbát, aby nedošlo ke kolizi s ostatními instalovanými I/O zařízeními. Seznam standardních zařízení umístěných v tomto intervalu adres je uveden v tabulce Tab.2.

3.3. Vlastní instalace

Instalaci modulu provádějte zásadně při vypnutém počítači a dodržujte zásady pro manipulaci s obvody citlivými na poškození elektrostatickým nábojem. S modulem manipulujte za okraje a nedotýkejte se prsty součástek. Nakonfigurovaný modul zasuněte do konektoru PC/104 a zajistěte sloupky.

3.4. Rozmístění spínačů a konektorů

Na obrázku Obr.1. je vyznačeno rozmístění důležitých prvků modulu; význam spínačů je zřejmý z předchozího textu, nastavovací trimry a konektory budou popsány vždy v příslušných kapitolách.

3.5. Zapojení konektorů

Zapojení vývodů uživatelských konektorů je zakresleno na obrázku Obr.2., význam jednotlivých vývodů je popsán v tabulkách Tab.3. a Tab.4.

4. Struktura adresového prostoru

4.1. Popis adresového dekodéru

Adresový dekodér umožňuje relokaci báze adresy karty v rozsahu u 200_H až 3F8_H. Protože karta zabírá celkem 8 I/O adres, lze volit jeden z 64 intervalů.

Karta obsahuje několik typů registrů:

- LS7166:
 - interní registry řadiče LS7166 (MCRReg, ICRReg, OCRReg, QCRReg, STSReg, CntWrReg, ...)
- řídící:
 - registry pro konfiguraci vstupních obvodů čítačů (ModeReg, ENCntReg)
 - registry pro řízení logiky přerušení (IRQReg, IntStsReg, ClrIntReg, CtrlIntReg)
- DIO:
 - slouží k přímému řízení digitálních portů (vstupní i výstupní) (DigInReg, DigOutReg)

Struktura registrů v adresovém prostoru je přehledně uvedena v tabulce Tab.5. a částečně také zakreslena na obrázku Obr.3.

4.2. MCRReg (WR, Base+1, 00xxxxxx)

Registr MCRReg (Master Control Registr) je interním registrem řadiče LS7166 a je určen pro řízení datových přenosů mezi čítačem a vyrovnávacími registry, resp. nulování interních obvodů řadiče.

Datové bity D6 a D7 slouží k nepřímému adresování interních obvodů řadiče a musí být nastaveny do předepsaných hodnot.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
0	0	MR	CMP_R	XFR_P	CNT_R	XFR_C	AP_R

- AP_R
 - nulování ukazatele sekvenčního čtení/zápisu 24-bitových dat
- XFR_C
 - přenos dat z čítače do záchytného registru CntRdReg
- CNT_R
 - nulování obsahu čítače, nastavení znaménkového příznaku, nulování zachytných registrů přetečení a podtečení
- XFR_P
 - přenos dat z vyrovnávacího registru CntWrReg do čítače
- CMP_R
 - nulování záchytného registru komparátoru ekvivalence
- MR
 - nulování všech registrů řadiče LS7166



Signál MR nenuluje "dokonale" obsah čítače (po resetu může nabývat hodnoty -1, 0, +1); pro úplné nulování je nutné současně využít signálu CNT_R.



Všechny bity jsou aktivní v logické úrovni H. Zápis úrovně H do významných bitů registru nevyžaduje následný zápis úrovně L; obsah registru se nuluje automaticky.

4.3. ICR_{Reg} (WR, Base+1, 01xxx000)

Registr ICR_{Reg} (Input Control Registr) je interním registrem řadiče LS7166 a je určen pro konfiguraci funkcí jednotlivých vstupů řadiče.

Datové bity D6 a D7 slouží k nepřímému adresování interních obvodů řadiče a musí být nastaveny do předepsaných hodnot; bity D0, D1 a D2 musí být v úrovni L.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
0	1	D_MD	C_MD	AB_EN	0	0	0

- AB_EN
- povoluje řízení čítače vstupy A/B (aktivní v logické úrovni H, funkce v kombinaci s C_MD)
- C_MD
- volba funkce vstupu C
 - 0 vstup C úrovní L nuluje stav čítače
 - 1 vstup C úrovní L povoluje řízení čítače vstupy A a B (funkce v kombinaci s AB_EN)
- D_MD
- volba funkce vstupu D
 - 0 vstup D úrovní L přednastavuje stav čítače
 - 1 vstup D úrovní L přenáší obsah čítače do vyrovnávacího registru

4.4. OCReg (WR, Base+1, 10xx0x0x)

Registr OCReg (Output Control Registr) je interním registrem řadiče LS7166 a je určen pro konfiguraci režimu čítače a funkcí výstupů.

Datové bity D6 a D7 slouží k nepřímému adresování interních obvodů řadiče a musí být nastaveny do předepsaných hodnot; bity D1 a D3 musí být v úrovni L.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
1	0	CMP_OUT		0	N_MD	0	BCD

- BCD
- volba BCD režimu čítače
 - 0 čítač pracuje v 24-bitovém binárním kódu
 - 1 čítač pracuje v 24-bitovém BCD kódu
- N_MD
- volba pracovního rozsahu čítače
 - 0 čítač pracuje ve standardním 24-bitovém rozsahu
 - 1 čítač pracuje v rozsahu určeném preset registrem (řízeno signály přetečení/podtečení čítače)
- CMP_OUT
- volby režimu "real time" výstupů (využity jako zdroj přerušení)
 - 0 0 režim není podporován
 - 0 1 režim není podporován
 - 1 0 režim není podporován
 - 1 1 funkce komparátoru s obsahem čítače

4.5. QCRReg (WR, Base+1, 11xxxxxx)

Registr QCRReg (Quadrature Control Registr) je interním registrem řadiče LS7166 a je určen pro konfiguraci logiky pro zpracování kvadraturního signálu.


Datové bity D6 a D7 slouží k nepřímému adresování interních obvodů řadiče a musí být nastaveny do předepsaných hodnot.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
1	1	RSRV	RSRV	RSRV	RSRV	AB_MODE	

- AB_MODE
- volby režimu vstupních signálů (viz Obr.10.)
 - 0 0 nedefinováno
 - 0 1 kvadraturní signál - režim X1 (jeden impuls na periodu signálu)
 - 1 0 kvadraturní signál - režim X2 (dva impulsy na periodu signálu)
 - 1 1 kvadraturní signál - režim X4 (čtyři impulsy na periodu signálu, tzn. 1 impuls na fázi)

- RSRV
- rezerva

 *Rezervní bity nemají pro funkci žádný význam; z důvodu dopředné kompatibility je však doporučena logická úroveň L.*


4.6. STSReg (RD, Base+1)

Registr STSReg slouží k čtení stavových informací z řadiče LS7166.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	U_D	Sign	CoFF	CaFF	BoFF

- BoFF
- příznak záchytného registru podtečení (Borrow)
- CaFF
- příznak záchytného registru přetečení (Carry)
- CoFF
- příznak záchytného registru ekvivalence
- Sign
- znaménkový příznak
 - 0 nastaveno podtečením (Borrow)
 - 1 nastaveno přetečením (Carry)
- U_D
- příznak směru čítání
 - 0 čítání dolů (= poslední operace byla dekrementace)
 - 1 čítání nahorů (= poslední operace byla inkrementace)

 *Příznaky CoFF, CaFF a BoFF jsou do úrovně H nastaveny odpovídající událostí a nulovány výhradně pomocí registru MCRReg.*

4.7. CntRdReg (RD, Base+0)

Registr CntRdReg slouží k čtení obsahu záchytného registru čítače; 24-bitová data jsou přenášena postupně ve třech bytech v pořadí od nejnižších bitů po nejvyšší.

Formát dat (binární/BCD) je nastaven příslušným řídicím bitem OCREg.



Před vlastním čtením je nutné přenést obsah čítače do záchytného registru a vynulovat ukazatel sekvence čtení/zápisu 24-bitových dat příkazy MCREg.

4.8. CntWrReg (WR, Base+0)

Registr CntWrReg slouží k programování obsahu čítače; 24-bitová data jsou přenášena do vyrovnávacího registru postupně ve třech bytech v pořadí od nejnižších bitů po nejvyšší.

Formát dat (binární/BCD) je nastaven příslušným řídicím bitem OCREg.



Před vlastním zápisem je nutné vynulovat ukazatel sekvence čtení/zápisu 24-bitových dat a po zápisu přenést obsah vyrovnávacího registru do čítače příkazy MCREg.

4.9. ModeReg (WR, Base+2)

Registr ModeReg slouží k rozšíření funkcí řadičů LS7166; narozdíl od předešlých registrů není obsažen ve struktuře řadiče LS7166, nýbrž je realizován předřadnou logikou pro úpravu vstupních signálů. PC karta obsahuje tři samostatné registry ModeReg pro každý z čítačů; pro jejich aktivaci je využit registr ENCntReg.



Předešlý popis registrů LS7166 byl vztažen k základnímu (=nulovému) stavu registru ModeReg.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
INT_MODE		RSRV	RSRV	D_EN	C_EN	CNT_MODE	


CNT_MODE • volby režimu čítání (viz Obr.10. až Obr.12.)


- 0 0 standardní kvadrurní režim LS7166
- 0 1 dvoukanálový režim "up/down"
 - A = signál pro inkrementaci (náběžná hranou)
 - B = signál pro dekrementaci (náběžnou hranou)
- 1 0 dvoukanálový režim "count/dir"
 - A = signál pro inkrementaci/dekrementaci (náb. hranou)
 - B = signál pro řízení směru čítání (H = inkrementace)
- 1 1 rezerva



Dvoukanálové režimy "up/down" a "count/dir" nejsou standardně implementovány. Pro korektní činnost těchto rozšířených režimů "up/down" a "count/dir" musí být řadič LS7166 nastaven do režimu X4 (viz popis QCREg).

- C_EN
 - povolení externího signálu C pro řízení čítače
 - 0 vstupní signál nevyužit
 - 1 vstupní signál aktivován
- D_EN
 - povolení externího signálu D pro řízení čítače
 - 0 vstupní signál nevyužit
 - 1 vstupní signál aktivován
- INT_MODE
 - volba zdroje signálu přerušování od čítače
 - 0 0 žádný zdroj přerušování
 - 0 1 CMP_OUT ("real time" výstupy čítače)
 - 1 0 vstupní signál C (přechod z úrovně H do úrovně L)
 - 1 1 vstupní signál D (přechod z úrovně H do úrovně L)
- RSVR
 - rezerva

 *Nejsou-li externí vstupy C nebo D využity pro funkce čítače (viz popis C_EN, D_EN), jsou vstupní signály řadiče LS7166 (viz popis ICRReg) nastaveny do logické úrovně H.*

 *Rezervní bity nemají pro funkci žádný význam; z důvodu dopředné kompatibility je však doporučena logická úroveň L.*


4.10. ENCntReg (WR, Base+3)

Registr ENCntReg slouží k povolení operací čtení/zápis do jednotlivých řadičů LS7166 a registrů ModeReg.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	RSRV	RSRV	RSRV	EN_CNT2	EN_CNT1	EN_CNT0

- EN_CNT0
 - povoluje operace čtení/zápis pro čítač CNT_0 (aktivní v logické úrovni H)
- EN_CNT1
 - povoluje operace čtení/zápis pro čítač CNT_1 (aktivní v logické úrovni H; pouze PCT-2403)
- EN_CNT2
 - povoluje operace čtení/zápis pro čítač CNT_2 (aktivní v logické úrovni H; pouze PCT-2403)
- RSRV
 - rezerva

 *Popsaná logika umožňuje pro operaci zápis současnou aktivaci jednoho, dvou i tří čítačů; pro operaci čtení jsou však přenášena platná data výhradně při aktivaci jediného čítače.*

4.11. IRQReg (WR, Base+6)


Tento registr slouží k povolení funkce přerušování a volbě kanálu IRQ; přerušování je vyvoláno, pokud je alespoň jeden z příznaků v registru IntStatReg nastaven do úrovně H.

Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	RSRV	RSRV	IRQ3	IRQ2	IRQ1	IRQ0

- IRQ3÷IRQ0
- definují IRQ kanál ISA sběrnice
 - 0000 není přiřazen žádný kanál IRQ
 - 0010 přiřazen kanál IRQ2
 - 0011 přiřazen kanál IRQ3
 - 0100 přiřazen kanál IRQ4
 - 0101 přiřazen kanál IRQ5
 - 0110 přiřazen kanál IRQ6
 - 0111 přiřazen kanál IRQ7
 - 1010 přiřazen kanál IRQ10 (pouze s rozšířením PC/104 sběrnice)
 - 1011 přiřazen kanál IRQ11 (pouze s rozšířením PC/104 sběrnice)
- RSVR
- rezerva

 *Rezervní bity nemají pro funkci žádný význam, z důvodu dopředné kompatibility je však doporučena logická úroveň L. Neuvedené kombinace D3÷D0 jsou rezervovány.*

4.12. CtrlIntReg (WR, Base+5)


Registr CtrlIntReg slouží k základní volbě zdrojů přerušení a současně k nulování příznaků přerušení.


Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	RSRV	RSRV	RSRV	EN_I2	EN_I1	EN_I0

- EN_I0
- povoluje vyvolání přerušení pro obvody čítače CNT_0 (aktivní v logické úrovni H)
- EN_I1
- povoluje vyvolání přerušení pro obvody čítače CNT_1 (aktivní v logické úrovni H; pouze PCT-2403)
- EN_I2
- povoluje vyvolání přerušení pro obvody čítače CNT_2 (aktivní v logické úrovni H; pouze PCT-2403)
- RSRV
- rezerva

 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena logická úroveň L.*

 *Popis obvodů přerušení čítačů byl popsán v souvislosti registrem MODEReg.*

4.13. IntStsReg (RD, Base+4)

Registr IntStsReg slouží k vyhodnocení zdroje přerušení v případě současného využití všech zdrojů.

Příznaky jsou aktivní nezávisle na povolení přerušení v registru IRQReg.

Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV	RSRV	RSRV	RSRV	RSRV	STS_I2	STS_I1	STS_I0

STS_I0 • příznak přerušení od obvodů čítače CNT_0

STS_I1 • příznak přerušení od obvodů čítače CNT_1
(pouze PCT-2403)

STS_I2 • příznak přerušení od obvodů čítače CNT_2
(pouze PCT-2403)

RSRV • rezerva



Stavové příznaky logiky přerušení jsou do úrovně H nastaveny zvolenou událostí (viz popis registrů ModeReg) a nulovány zakázáním odpovídajícího zdroje přerušení pomocí registru CtrlIntReg (příslušný bit je vynulována opět nastaven na úroveň H).

4.14. DigOutReg (WR, Base+7)

Tento registr plní funkci výstupního digitálního portu; význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru portu.

Registr je po resetu, resp. zapnutí počítače vynulován.

D7	D6	D5	D4	D3	D2	D1	D0
DOut7	DOut6	DOut5	DOut4	DOut3	DOut2	DOut1	DOut0

4.15. DigInReg (RD, Base+7)

Tento registr plní funkci vstupního digitálního portu; význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru portu.

D7	D6	D5	D4	D3	D2	D1	D0
DIn7	DIn6	DIn5	DIn4	DIn3	DIn2	DIn1	DIn0

5. Popis digitálních vstupů a výstupů

5.1. Úvod

Moduly řady PCT-2401 a PCT-2401N obsahují 8 vstupních kanálů a 8 kanálů výstupních; signály všech portů jsou umístěny na dvou konektorech DIL10.

5.2. Zapojení vstupů

Pro realizaci vstupů bylo využito obvodů technologie HCTMOS. Jejich výhodné vlastnosti (vysoká vstupní impedance a zanedbatelný vstupní proud, ochranné diody) byly využity pro přepětovou ochranu do $\pm 24V$.

Protože klidový stav vstupů odpovídá logické úrovni H (ošetřeno rezistory $10k\Omega$ proti napětí $+5V$), lze je použít i pro připojení signálů typu "otevřený kolektor" nebo bezpotenciálních spínačů.

5.3. Zapojení výstupů PCT-2401

Pro realizaci výstupů bylo využito obvodů technologie HCMOS. Pro jejich výhodné vlastnosti (vysoký výstupní proud a zanedbatelný napěťový úbytek) je lze využít pro přímé buzení LED, optronů, popř. i miniaturních relé $5V/500\Omega$.

5.4. Zapojení výstupů PCT-2401N

Pro realizaci výstupů bylo využito NPN tranzistorů a lze je využít nejen pro přímé buzení LED a optronů, ale i výkonnějších relé.

Tranzistory jsou sepnuty při logické úrovni H v příslušném registru.

Prázdná Strana

SW1						I/O adresa (Base)
SW - 1	SW - 2	SW - 3	SW - 4	SW - 5	SW - 6	
ON	ON	ON	ON	ON	ON	200 _H
ON	ON	ON	ON	ON	OFF	208 _H
---	---	---	---	---	---	
OFF	ON	ON	ON	ON	ON	300 _H
OFF	ON	ON	ON	ON	OFF	308 _H
---	---	---	---	---	---	
OFF	OFF	OFF	OFF	OFF	ON	3F0 _H
OFF	OFF	OFF	OFF	OFF	OFF	3F8 _H

Tab.1. Volba báze adresy.
(adresa 300_H nastavena od výrobce)

Počáteční adresa	Koncová adresa	I/O zařízení
200 _H	207 _H	adapter pro hry
278 _H	27F _H	2. tiskárna
2F8 _H	2FF _H	2. adapter asynchronní komunikace
300 _H	31F _H	prototypová deska
360 _H	36F _H	rezerva
378 _H	37F _H	1. tiskárna
380 _H	38F _H	synchronní komunikace SDLC
3A0 _H	3AF _H	synchronní komunikace BSC
3B0 _H	3BF _H	monochromatický display + tiskárna
3C0 _H	3CF _H	rezerva
3D0 _H	3DF _H	barevný display
3F0 _H	3F7 _H	řadič disket
3F8 _H	3FF _H	1. adapter asynchronní komunikace

Tab.2. Seznam standardních adres I/O zařízení.

funkce	P I N	P I N	funkce
vstup A	D1	D2	DGND
vstup B	D3	D4	DGND
vstup C	D5	D6	DGND
vstup D	D7	D8	DGND
DGND	D9	D10	+5V

Tab.3. Zapojení vývodů konektoru DIL10 - vstupy čítače (K1).

funkce	P I N	P I N	funkce
Digit. IN / OUT 0	D1	D2	Digit. IN / OUT 1
Digit. IN / OUT 2	D3	D4	Digit. IN / OUT 3
Digit. IN / OUT 4	D5	D6	Digit. IN / OUT 5
Digit. IN / OUT 6	D7	D8	Digit. IN / OUT 7
DGND	D9	D10	+5V / Vext (*)

Tab.4. Zapojení vývodů konektoru DIL10 - digitální porty (K2 a K3).



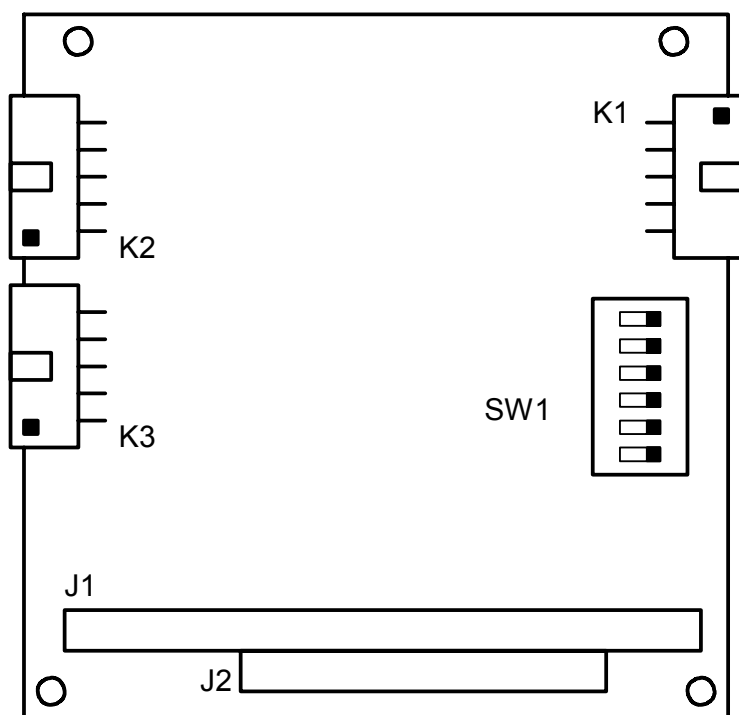
Moduly PCT-2401 mají výstupy typu TTL a na pinu D10 je vyvedeno napájecí napětí 5V ze zdroje počítače.

Moduly PCA-2401N mají výstupy typu "NPN otevřený kolektor" a na pin D10 jsou vyvedeny katody ochranných diod. V případě spínání indukční zátěže (např. relé) je tento pin připojen k napětí použitému k napájení cívek relé.

Vstupy obou typů modulů jsou vždy TTL a na pinu D10 je vyvedeno napájecí napětí 5V.

Adresa	REGISTR	
	WR	RD
Base+0	CntWrReg	CntRdReg
Base+1	MCRReg, ICRReg, OCRReg, QCRReg	STSReg
Base+2	ModeReg	---
Base+3	ENCntReg	---
Base+4	---	IntStsReg
Base+5	CtrlIntReg	---
Base+6	IRQReg	---
Base+7	DigOutReg	DigInReg

Tab.5. Struktura adresového prostoru.



Obr.1. Obrázek modulů řady PCT-2401/2401N.

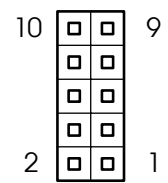
K1 vstupní signály čítače

K2 výstupní digitální port, kanály DIN0÷DIN7

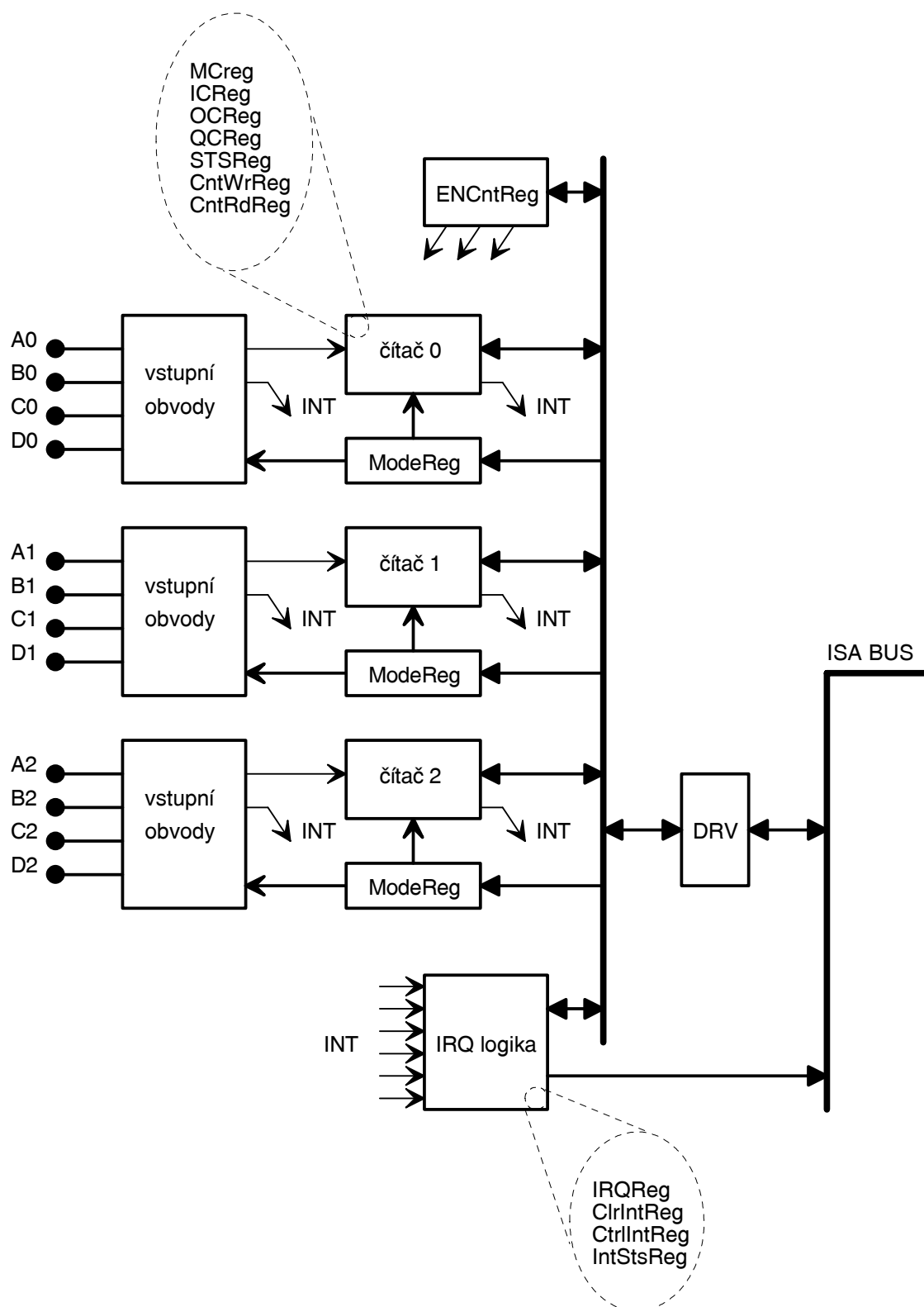
K3 vstupní digitální port, kanály DOUT0÷DOUT7



Modul má standardně osazen konektor J1; konektor J2 může být doplněn po dohodě.



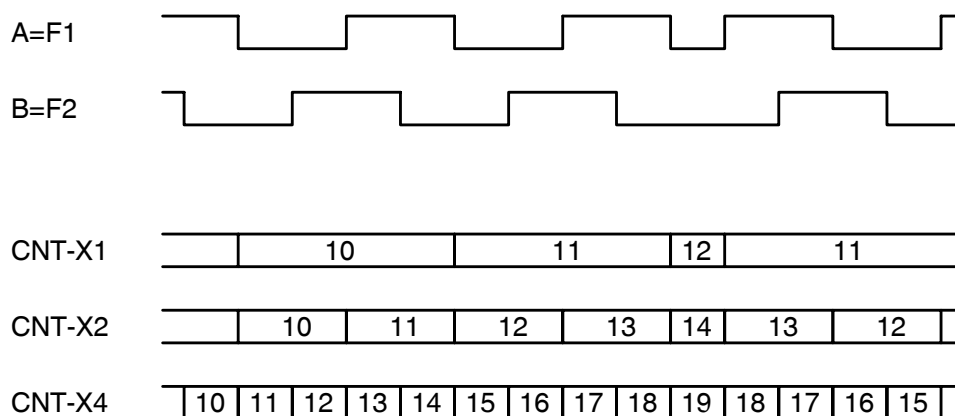
Obr.2. Rozmístění vývodů na konektoru DIL 10.



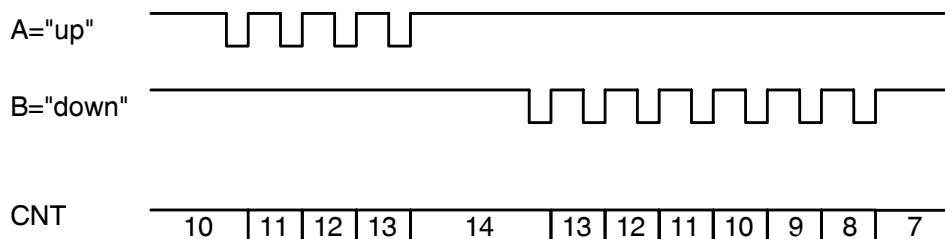
Obr.3 Vnitřní struktura modulu PCT-2401/2401N.



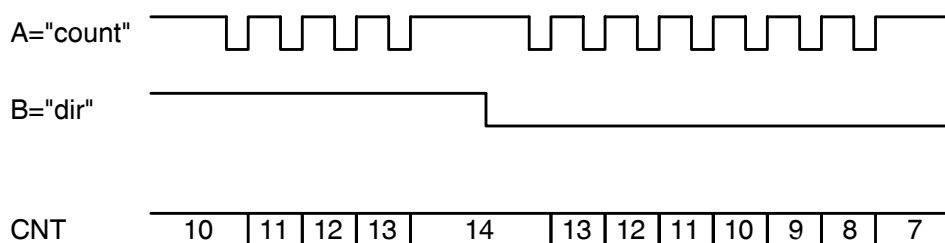
Čítače 1 a 2 jsou zakresleny z důvodu zjednotnění řešení tříkanálové verze PCT-2403.



Obr.4. Standardní režimy čítání řadiče LS7166 (kvadrurní signál X1, X2 a X4).



Obr.5. Rozšířený režim čítání "up/down".



Obr.6. Rozšířený režim čítání "count/dir".

