

# PCT-7408A

8x čítač, DIO  
IRQ, PCI BUS



**Záruční a pozáruční servis, technická podpora:**

adresa: TEDIA® spol. s r. o., Zábělská 12, 31211 Plzeň  
telefon: +420 377 478 168  
fax: +420 377 478 169  
e-mail: podpora\_daq@tedia.cz  
internet: <http://www.tedia.cz>, <http://www.pci.cz>

Uživatelská příručka a její součásti jsou autorským dílem chráněným ustanovením zákona č.121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů ("Autorský zákon").

Všechna jména a názvy použité v textu mohou být chráněnými známkami nebo obchodními názvy výrobků příslušných firem.

# ES prohlášení o shodě

Prohlašujeme na svoji výlučnou odpovědnost, že technologické karty

PCT-7408A

jsou ve shodě s normami

ČSN EN 55022:99 včetně změn  
ČSN EN 61000-3-2:97 včetně změn  
ČSN EN 61000-3-3:97 včetně změn  
ČSN EN 55024:99 včetně změn

a nařízeními vlády

NV 168/1997 Sb.  
NV 169/1997 Sb.  
ve znění pozdějších předpisů

a nesou proto označení "CE".

Zkušební protokol:

203681-01 vydaný EZÚ Praha



Datum vydání ES prohlášení:

10.1.2003

Výrobce:

TEDIA® spol. s r. o., Zábělská 12, 31211 Plzeň

Odpovědný zástupce:

Ing. Martin Linda, jednatel společnosti

Podpis odpovědného zástupce:

A handwritten signature in black ink, appearing to read 'Martin Linda', written in a cursive style.

# Obsah

1.	Úvodní popis	
1.1.	Charakteristika	I - 1
1.2.	Podmínky použití	I - 1
2.	Technické parametry	
2.1.	Programovatelné čítače	I - 2
2.2.	Vstupní obvody	I - 2
2.3.	Digitální výstupy	I - 2
2.4.	Obvody přerušení	I - 2
2.5.	Ostatní údaje	I - 2
3.	Instalace karty	
3.1.	Úvod	I - 4
3.2.	Nastavení konfiguračních prvků	I - 4
3.3.	Vlastní instalace	I - 4
3.4.	Zapojení konektorů	I - 4
3.5.	Rozmístění významných prvků	I - 4
4.	PCI sběrnice, základní informace	
4.1.	Základní pojmy	I - 5
4.2.	Řadič OX9162	I - 5
4.3.	Implementace PCI BUS u PCT-7408A	I - 6
4.4.	Porovnání MEM a I/O přístupu	I - 6
5.	Struktura adresového prostoru	
5.1.	Úvod	I - 7
5.2.	DINReg	I - 7
5.3.	DOUTrReg	I - 7
5.4.	IRQCfgReg	I - 8
5.5.	IRQStatusReg	I - 8
5.6.	IRQClrReg	I - 8
5.7.	TimerReg	I - 9
5.8.	INTEnrReg	I - 9
5.9.	FPGACtrlReg	I - 9
5.10.	FPGAStatusReg	I - 10
5.11.	CNT0SetReg	I - 10
5.12.	CNT0DataReg	I - 10
5.13.	TIM0DataReg	I - 10
5.14.	CNTxSetReg, CNTxDataReg, TIMxDataReg	I - 10
5.15.	CNTENrReg	I - 10
5.16.	CNTClrReg	I - 11
5.17.	CNTStrReg	I - 11
5.18.	CNTSlpReg	I - 11
5.19.	FPGAVerReg	I - 11

6.	Popis čítačů	
6.1.	Úvod	I - 12
6.2.	Zapojení vstupů	I - 12
6.3.	Programovatelná vstupní logika	I - 12
6.4.	Čítače	I - 12
6.5.	Časovače	I - 12
7.	Popis řadiče přerušení	
7.1.	Úvod	I - 13
7.2.	Zdroje přerušení	I - 13
7.3.	Programová obsluha přerušení	I - 13
8.	Popis digitálních vstupů a výstupů	
8.1.	Úvod	I - 14
8.2.	Zapojení vstupů	I - 14
8.3.	Zapojení výstupů	I - 14
9.	Popis konfigurace FPGA	
9.1.	Úvod	I - 14
9.2.	Zjednodušený postup downloadu	I - 14

## Přílohy:

Příloha II - tabulky

Příloha III - obrázky

Příloha IV - OX9162

# 1. Úvodní popis

## 1.1. Charakteristika

PC karta PCT-7408A je výrobek moderní koncepce určený zejména pro systémy laboratorní a průmyslové automatizace a jako doplněk multifunkčních PC karet.

K přednostem patří jednoduchá programová konfigurovatelnost parametrů. Při instalaci karty do počítače není nutné hardwarově nastavovat žádné parametry, všechny funkce karty jsou ovládány plně softwarově.

Karta PCT-7408A je určena pro počítače PC kompatibilní a musí být instalována do PCI slotu s podporou 5 V a 33 MHz.

Celkový pohled na desku PCT-7408A je zakreslen na obrázku Obr.1.

Karta PCT-7408A se vyznačuje zejména těmito vlastnostmi:

- pružně konfigurovatelné jádro karty postavené na FPGA s konfigurací zaváděnou z diskového souboru
- 8 čítačů s rozlišením 24 bitů
- 8 časovačů s rozlišením 32 bitů
- 8 izolovaných digitálních vstupů umožňujících zpracovat signály obou polarit (společné pro čítače)
- 8 reléových výstupů
- programovatelná logika přerušení (2x digitální vstup, časovač)
- PCI target interface kompatibilní s PCI rev. 2.2 (verze 32 bitů, 5 V, 33 MHz)

## 1.2. Podmínky použití

Karty vyhovují instalaci do počítačů se sběrnici PCI v kancelářském nebo průmyslovém provedení a jsou určeny zpracování signálů.

Signály mohou být připojeny vhodným stíněným vodičem o délce maximálně 2 m.

Karty řady PCT-7408A mohou být použity výhradně v souladu s doporučeními výrobce uvedenými v této příručce, obecně platnými normami či standardy a pouze takovým způsobem, aby jejich selháním zaviněným jakýmkoliv způsobem se nemohly stát nebezpečnými osobám nebo majetku.

## 2. Technické parametry

### 2.1. Programovatelné čítače

počet čítačů:	8
rozlišení čítače:	24 bitů
počet časovačů:	8
rozlišení časovače:	32 bitů /100ns
blokování čítače:	softwarově
pracovní režimy čítače:	vzestupné čítání + perioda signálu
vstupní frekvence:	10 kHz max. (viz pozn.)

 Uvedena mezní frekvence s nesymetrií max. 40%/60% a pro signál 0V/24V.

### 2.2. Vstupní obvody

typ vstupů:	izolovaný s jedním společným pólem
pracovní úroveň L:	<5 V (viz. poznámka)
pracovní úroveň H:	>15 V (viz. poznámka)
vstupní impedance:	cca 10 kOhm
odolnost proti přepětí:	±32 V trvale (±50 V max. 10 ms)
izolační napětí (proti PC a relé):	500 V
typ rozhraní:	TEDIA® - Cannon 9

 Vstupní obvody jsou schopny zpracovat napětí obou polarit; viz obrázek Obr.3.

### 2.3. Digitální výstupy

počet výstupů:	8
typ výstupů:	přepínací relé
pracovní napětí:	30 V ss. max 100 V st. max.
pracovní proud:	0,5 A max.
izolační napětí:	100 V
typ rozhraní:	TEDIA® - Cannon 25

 Porty neobsahují žádné ochranné prvky proti přetížení kontaktů.

### 2.4. Obvody přerušení


zdroje přerušení:	DIN0, DIN1
aktivní úroveň:	interní časovač (1 ms ~ 255 ms) sestupná hrana signálu (DIN0) náběžná hrana signálu (DIN1) přetečení časovače

### 2.5. Ostatní údaje

I/O a MEM adresa:	přiřazena PCI PnP BIOSem
IRQ kanál:	přiřazen PCI PnP BIOSem
napájecí napětí:	+5 V (300 mA max.)



rozměry desky:	cca 90 x 125 mm
použité konektory:	Cannon 25 - vidlice Cannon 9 - vidlice
pracovní teplota:	0° ~ 65° C
skladovací teplota:	-20° ~ 80° C
relativní vlhkost:	10% ~ 90%, bez kondenzace
doporučená délka vodičů:	do 2 m

 *Uvedený proudový odběr je uvažován se všemi výstupy v nezátžném stavu.*

## 3. Instalace karty

### 3.1. Úvod

Při výrobě bylo dbáno na dosažení vysoké kvality a spolehlivosti, rovněž byla věnována pozornost důkladné kontrole před expedicí. Aby nedošlo ke snížení jakosti či poškození při instalaci, doporučujeme Vám pečlivě prostudovat tuto příručku a postupovat podle uvedeného návodu.

Nebudete-li si jisti některým z kroků instalace, obraťte se na technickou podporu výrobce (informaci o aktuálním spojení naleznete na <http://www.tedia.cz>).

### 3.2. Nastavení konfiguračních prvků

Karta PCT-7408A neobsahuje žádné konfigurační prvky.

### 3.3. Vlastní instalace



#### ***Důležité upozornění:***

*Při instalaci karty dbejte zásad pro manipulaci s obvody citlivými na poškození elektrostatickým nábojem, s kartou manipulujte pouze za okraje a nedotýkejte se prsty součástek.*

*Instalaci provádějte zásadně při vypnutém počítači a vždy odpojte síťový kabel i ostatní přívodní vodiče !*

*Mimo počítač mohou být karty skladovány výhradně v antistatickém obalu.*

*Při nedodržení uvedených pravidel může dojít k poškození citlivých obvodů PC karty nebo celého počítače. V případě nejasností kontaktujte technickou podporu výrobce.*

Kartu zasuňte po předchozím vyjmutí krycího štítku do volné pozice pro rozšiřující desky počítače a zajistěte šroubem.

### 3.4. Zapojení konektorů

Zapojení vývodů konektorů je zakresleno na obrázku Obr.2.; popis signálů je uveden v tabulkách Tab.1. a Tab.2.

### 3.5. Rozmístění významných prvků

Rozmístění konektorů na kartě PCT-7408A je zakresleno na obrázku Obr.1.

## 4. PCI sběrnice, základní informace

### 4.1. Základní pojmy

PCI-SIG	PCI Special Interest Group, organizace zajišťující standardizaci PCI sběrnice. PCI-SIG sídlí v Portlandu/USA, má přibližně 1000 řádných členů a TEDIA® je jedním z nich.
PCI konfigurační registry	slouží pro PnP identifikaci karty, zjištění jejích vlastností (zejména z pohledu PCI sběrnice), požadavků na systémové prostředky a jejich přidělení. PCI konfigurační registry obsahují řadu informací významných pro ovladače a aplikační software, zejména VID/DID, BAR registry, ... PCI registry nejsou určeny pro vlastní funkční přístupy (tzn. datové přenosy) a jsou zpřístupněny speciálními sběrnicovými cykly výhradně rozhraním PCI BIOSu; podrobnost lze čerpat ze specifikace PCI BIOS v aktuálním znění.
VID	Vendor ID, unikátní číslo výrobce adaptéru přidělené organizací PCI-SIG jejím členům.
DID	Device ID, unikátní číslo typu PCI karty přidělené výrobcem adaptéru. Číslo může být přiděleno výhradně držitelem příslušného VID.
Subsystem VID/ID	čísla umožňující identifikovat výrobce karty při zachování VID/ID výrobce chipsetu. Je využíváno zejména u implementací standardních řadičů (grafických akceleratorů, Ethernet řadičů, ...) a umožňuje využití společných driverů.
Class Code	umožňuje zařadit PC kartu do některé předdefinované třídy adaptérů a v některých případech využít společné softwarové podpory.
BAR0 až BAR4	Base Address Register, tzn. básový registr paměťového nebo I/O prostoru. Jednofunkční PCI karta může alokovat až 5 prostorů.

### 4.2. Řadič OX9162

Použitý řadič se vyznačuje následujícími vlastnostmi:

- 32bit./5V/33MHz target interface kompatibilní s PCI rev. 2.2 (tzn. není podporován busmastering)
- implementace celé sady PCI konfiguračních registrů
- implementace všech pěti BAR registrů
- 8-bitová pass-through lokální sběrnice s podporou přerušení
- konfigurace chipsetu prostřednictvím EEPROM

### 4.3. Implementace PCI BUS u PCD-7408A

Funkci řadiče PCI sběrnice plní obvod OX9162 s I/O a MEM prostory konfigurovanými v maximálním možném rozsahu.

**Karta využívá následujících PCI ID:**

VID	1760 <sub>H</sub>	tzn. VID přidělené TEDIA®
DID	0122 <sub>H</sub>	tzn. DID přidělené kartě PCD-7408A
Sub VID	1760 <sub>H</sub>	totéž jako VID
Sub ID	0003 <sub>H</sub>	verze karty (aktuální při vydání manuálu)
Class Code	118000 <sub>H</sub>	třída "other data acquisition adapter"

**Využití BAR prostorů:**

BAR0	mapován jako I/O, slouží pro přístup k první polovině registrů; u PCT-7408A je konfigurován na velikost 256B s datovou strukturou byte
BAR1	mapován jako I/O, slouží pro přístup k první polovině registrů; u PCT-7408A je konfigurován na velikost 256B s datovou strukturou byte
BAR2	mapován jako I/O, slouží pro přístupu k konfiguračním registrům chipsetu OX9162; je konfigurován na velikost 32B s datovou strukturou byte/word/double word
BAR3	mapován jako MEM, slouží pro přístup ke konfiguračním registrům chipsetu OX9162 (má totožný význam jako BAR2); je konfigurován na velikost 4kB s datovou strukturou byte/word/double word
BAR4	mapován jako MEM, slouží pro přístupu ke všem funkčním registrům; je konfigurován na velikost 4kB s datovou strukturou double word (avšak významných 8 nejnižších bitů)

Podrobnější informace k mapování registrů v jednotlivých prostorech jsou uvedeny v příloze tohoto manuálu.

### 4.4. Porovnání MEM a I/O přístupu

PCI specifikace definuje dva typy registrových prostorů - I/O a paměťový (MEM). Řada adaptérů umožňuje alternativní užití obou typů a periferní obvody mapuje současně do obou prostorů (prostřednictvím dvou BAR).

MEM	prostor existuje na všech hardwarových platformách (tzn. nejen na systémech s procesory Intel x86) a je mj. i proto preferován; jelikož 32-bitové adresování umožňuje mapovat až 4GB paměti, není velikost alokovaného prostoru z praktického hlediska nijak významně omezoována; přístup k periferiím mapovaných přes paměťový prostor je oproti I/O přístupu rychlejší, nebo alespoň není pomalejší; MEM přístup však vyžaduje 32bitové adresování
I/O	prostor je s ohledem na zpětnou kompatibilitu s 10bitově adresovanými systémy omezen na 63 intervalů o velikosti 256B; žádný adaptér tedy nemůže alokovat kontinuální prostor o velikosti větší než 256B; výhodou však je jednoduchá podpora v reálném módu procesorů Intel x86 (tzn. například v systému MS-DOS)

## 5. Struktura adresového prostoru

### 5.1. Úvod

Následující popis bude uvažovat přístup prostřednictvím prostoru BAR4; v případě využití I/O přístupů (tzn. BAR0/1) jsou adresy registrů modifikovány podle přiřazení uvedeného v příloze tohoto manuálu.

Všechny adresy (např. BAR4+80h) v dalším textu jsou uvedeny v hex formátu. Čtení a zápis do nedokumentovaných registrů není z důvodu dopředné kompatibility přípustný.



#### **Důležité upozornění:**

*Registry v rozsahu adres BAR4+0h ~ BAR4+3FCh jsou dostupné po zapnutí počítače, registry BAR4+400h ~ BAR4+7FCh jsou implementovány v FPGA a pro jejich funkci je nezbytný download konfiguračních dat.*

*Pro download konfiguračních dat lze použít dodávanou utilitu nebo download začlenit do vlastního software.*

Všechny registry implementované v FPGA (tzn. BAR4+400h ~ BAR4+7FCh) jsou po downloadu nastaveny na nulovou hodnotu. Do výchozího stavu mohou být registry uvedeny i pomocí FRST v FPGACtrlReg.

Všechny 24bitové a 32bitové registry by důvodu dopředné kompatibility měly být zpracovávány v pořadí od nejnižší po nejvyšší adresu.



#### **Důležité upozornění:**

*Registrová struktura popsaná v příručce odpovídá FPGA verze 1.2 a vyšší (do 1.15).*

### 5.2. DINReg (RD, BAR4+0)

Tento registr plní funkci datového registru vstupního digitálního portu.

Význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru.

D7	D6	D5	D4	D3	D2	D1	D0
DIN7	DIN6	DIN5	DIN4	DIN3	DIN2	DIN1	DIN0

### 5.3. DOUTReg (WR, BAR4+4)

Tento registr plní funkci datového registru výstupního digitálního portu.

Význam jednotlivých bitů je zřejmý ze struktury registru a zapojení konektoru.

Registr nemá po resetu definován stav; obsah dat lze však modifikovat přeprogramováním obsahu EEPROM.

D7	D6	D5	D4	D3	D2	D1	D0
DOUT7	DOUT6	DOUT5	DOUT4	DOUT3	DOUT2	DOUT1	DOUT0

## 5.4. IRQCfgReg (WR, BAR4+200h)


Tento registr slouží k povolení detekce požadavku o přerušení (tzn. umožní nastavení příznaků v IRQStatusReg), ne však pro povolení vyvolání přerušení (viz popis INTEnReg); podrobně viz obrázky Obr.5.

Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
RSRV			TIM	RSRV		IRQ1	IRQ0

- IRQ0
  - konfigurace zdroje přerušení odvozeného od vstupu DIN0 (0 = přerušení zakázáno, 1 = přerušení povoleno)
- IRQ1
  - konfigurace zdroje přerušení DIN1 (význam jako IRQ0)
- TIM
  - konfigurace zdroje přerušení časovače (význam jako IRQ0)


 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena hodnota 0.*

## 5.5. IRQStatusReg (RD, BAR4+200h)

Tento registr slouží k identifikaci zdroje přerušení.

Struktura registru je totožná s IRQCfgReg a význam jednotlivých bitů je následující:

- IRQ0
  - 0 = přerušení odvozené od DIN0 nebylo vyvoláno
  - 1 = přerušení vyvoláno DIN0 (tzn. na vstupu byla od posledního nulování detekována hrana)
- IRQ1
  - příznak přerušení od DIN1 (význam analogický IRQ0)
- TIM
  - příznak přerušení od časovače (význam analogický IRQ0)

 *Rezervní bity nemají pro funkci desky žádný význam (nastavena hodnota 0). Příznaky jsou funkční nezávisle na aktivaci logiky přerušení registrem INTEnReg.*


## 5.6. IRQClrReg (WR, BAR4+204h)

Tento registr slouží k nulování příznaků nastavených přerušení v IRQStatusReg.

Registr má funkci automatického nulování a zápis hodnoty 1 tak nevyžaduje následný zápis hodnoty 0 (registr je nastaven na hodnotu 1 po dobu 60ns a po tuto dobu není zpracováván příslušný kanál přerušení).

Struktura registru je totožná s IRQCfgReg a význam jednotlivých bitů je následující:

- IRQ0
  - zápisem 0 nedojde k ovlivnění obsahu příznaku ve StatusReg
  - zápisem 1 dojde k vynulování příznaku ve StatusReg
- IRQ1
  - nulování příznaku přerušení od DIN1 (význam jako IRQ0)
- TIM
  - nulování příznaku přerušení od časovače (význam jako IRQ0)

 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena hodnota 0.*

## 5.7. TimerReg (WR/RD, BAR4+208h)

Tento registr slouží k nastavení frekvence (resp. periody) interního generátoru časových značek.

Zapsaná osmibitová data umožňují konfigurovat periodu časových značek v rozsahu 1~255 ms; zápisem hodnoty 0 dojde k zastavení generátoru.

Registr je po resetu, resp. zapnutí počítače vynulován.

Ve funkci čtení poskytuje registr aktuální hodnotu časovače; data v rozsahu 0~(TimerReg-1) jsou inkrementována frekvencí 1kHz.

## 5.8. INTEnReg (WR, BAR4+20Ch)

Tento registr slouží k aktivaci obvodů karty pro vyvolání přerušení PCI sběrnice, tzn. k povolení požadavku o přerušení systému, a současně nulování tohoto požadavku (je provedeno zakázáním a opětovným povolením přerušení).


Registr je po resetu, resp. zapnutí počítače vynulován.

Struktura registru a význam jednotlivých bitů je následující:

D7	D6	D5	D4	D3	D2	D1	D0
INTEN	RSRV						

INTEN

- 0 = obvody karty přerušení PCI sběrnice neaktivní
- 1 = obvody karty přerušení PCI sběrnice aktivovány

 *Rezervní bity nemají pro funkci desky žádný význam, z důvodu dopředné kompatibility je však doporučena hodnota 0.*

## 5.9. FPGACtrlReg (WR, BAR4+3FCh)

Tento registr slouží pro download konfiguračních dat FPGA a pro normální činnost karty není zpravidla využíván. Podrobnosti jsou uvedeny v samostatné kapitole.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV					FRST	CSDW	STDW

STDW

- sekvence 0-1-0 zahajuje download konfigurace

CSDW

- hodnotou 1 aktivuje přenos do FPGA

FRST

- hodnotou 1 nastavuje registry FPGA do implicitního stavu (lze s výhodou využít i v běžném aplikaci, viz poznámka)

RSRV

- rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)

 *Všechny registry implementované v FPGA (tzn. BAR4+400h ~ BAR4+7FCh) jsou po downloadu nebo resetu nastaveny na nulovou hodnotu.*

## 5.10. FPGAStatusReg (RD, BAR4+3FCh)

Tento registr slouží pro dowload konfiguračních dat FPGA a pro normální činnost karty není využíván. Podrobnosti jsou uvedeny v samostatné kapitole.

D7	D6	D5	D4	D3	D2	D1	D0
RSRV		RDY	SPDW	RSRV	FPGACtrlReg		

- SPDW • hodnotou 1 signalizuje FPGA úspěšné ukončení programování
- RDY • hodnotou 1 signalizuje FPGA připravenost k zápisu dat
- RSRV • rezerva (z důvodu dopředné kompatibility doporučena hodnota 0)
- FPGACtrlReg • kopie odpovídajících bitů registru FPGACtrlReg

 Podrobný popis registru je uveden v samostatné kapitole

## 5.11. CNT0SetReg (WR, BAR4+400h/404h/408h)

Tento registr slouží k nastavení obsahu čítače CNT0.

Zápis všech tří registrů je nezbytné provést kontinuálně v pořadí adres 400h, 404h a 408h; obsah čítače je nastaven v okamžik zápisu do posledního registru.

## 5.12. CNT0DataReg (RD, BAR4+400h/404h/408h)

Tento registr slouží ke čtení obsahu záchytného registru čítače CNT0; viz popis registru CNTStrReg.

## 5.13. TIM0DataReg (RD, BAR4+410h/414h/418h/41Ch)

Tento registr slouží ke čtení obsahu záchytného registru doplňkového časovače čítače CNT0; stav časovače vždy je zachycen současně s čítačem (viz popis registru CNTStrReg).

Časovač pracuje s krokem 100 ns a poskytuje 32bitovou hodnotu časového intervalu uplynulého mezi posledním a předposledním vstupním pulsem, tzn. poslední a předposlední změnou hodnoty čítače.

## 5.14. CNTxSetReg, CNTxDataReg, TIMxDataReg

Karta obsahuje sedm dalších registrových bloků pro čítače CNT1 až CNT7; podrobně viz tabulka Tab.3.

Význam registrů je analogický registrům čítače a časovače CNT0.

## 5.15. CNTEnReg (WR, BAR4+5C0h)

Tento registr slouží k řízení všech 8 čítačů.

Každý čítač má vyhrazen jeden řídicí bit (bit D0 ovládá CNT0, bit D7 ovládá CNT7); logickou úrovní 1 je čítání povoleno, úrovní 0 je čítání blokováno.



## 5.16. CNTClrReg (WR, BAR4+5C4h)

Tento registr slouží k nulování všech 8 čítačů.

Každý čítač má vyhrazen jeden řídicí bit (bit D0 ovládá CNT0, bit D7 ovládá CNT7); logickou úroveň 1 je čítač vynulován.

Registr má funkci automatického nulování a zápis hodnoty 1 tak nevyžaduje následný zápis hodnoty 0 (registr je nastaven na hodnotu 1 po dobu 60ns a po tuto dobu není zpracováván příslušný kanál přerušení).

## 5.17. CNTStrReg (WR, BAR4+5C8h)

Tento registr slouží k zachycení hodnoty všech 8 čítačů a 8 časovačů do vyrovnávacích registrů.

Každý čítač má vyhrazen jeden řídicí bit (bit D0 ovládá CNT0, bit D7 ovládá CNT7); logickou úroveň 1 je aktuální obsah odpovídajícího čítače zachycen do vyrovnávacího registru CNTxDataReg a současně i obsah časovače zachycen do vyrovnávacího registru TIMxDataReg; "x" v názvu registru reprezentuje číslo čítače.

Registr má funkci automatického nulování a zápis hodnoty 1 tak nevyžaduje následný zápis hodnoty 0.

## 5.18. CNTSlpReg (WR, BAR4+5CCh)

Tento registr slouží k řízení aktivní hrany všech 8 čítačů.

Každý čítač má vyhrazen jeden řídicí bit (bit D0 ovládá CNT0, bit D7 ovládá CNT7); logickou úroveň 1 je údaj čítače inkrementován při změně signálu z hodnoty H do L, při úrovni 0 je údaj inkrementován při změně signálu z hodnoty H do L.

 *Definice úrovně je popsána v kapitole Technické parametry.*

## 5.19. FPGAVerReg (WR, BAR4+5FCh)

Tento poskytuje verzi FPGA ve formátu [D7~D4.D3~D0], tedy "0.0" až "15.15".

 **Důležité upozornění:**  
*Registrová struktura popsána v příručce odpovídá FPGA verze 1.2 a vyšší (do 1.15).*

## 6. Popis čítačů

### 6.1. Úvod

Karty PCT-7408A obsahují 8 nezávislých 24bitových čítačů s možnostmi čítání vpřed, nastavení hodnoty, povolení a zastavení čítání. Každý čítač je navíc vybaven pomocným časovačem.

Jádrem karty je výkonné FPGA konfigurované z diskového souboru při každém startu počítače, případně kdykoliv aplikační program vyžaduje (v případě více různých konfiguračních souborů).

### 6.2. Zapojení vstupů

Vstupy čítačů využívají signály digitálních vstupů; popis je uveden v kapitole 8.2.

### 6.3. Programovatelná vstupní logika

Vstupní logika čítače umožňuje nastavit aktivní hranu signálu (vzestupná nebo sestupná hrana, viz popis CNTSlpReg) a povolit nebo zastavit čítání; tyto funkce jsou řešeny jako synchronní pro všechny čítače.

### 6.4. Čítače

Čítače umožňují pouze vzestupné čítání a lze je v kterýkoliv okamžik samostatně přednastavit nebo synchronně nulovat.

### 6.5. Časovače

Každý čítač je vybaven pomocným časovačem poskytujícím 32bitovou hodnotu časového intervalu uplynulého mezi posledním a předposledním vstupním pulsem, tzn. mezi poslední a předposlední změnou hodnoty čítače.

Časovač pracuje se vstupní frekvencí 10 MHz z krystalového oscilátoru a poskytuje tak čas v rozsahu do 429 sekund s rozlišením 100 ns. Aplikační program musí samostatně detekovat, že doba mezi pulsy nebyla delší (tzn. za posledních 7 minut došlo ke změně hodnoty čítače) a od startu nebo nulování čítače byly detekovány alespoň dva pulsy.

## 7. Popis řadiče přerušení

### 7.1. Úvod

Karta PCT-7408A je vybavena programovatelnou logikou přerušení s třemi zdroji přerušení. Vnitřní struktura je zakreslena na schématu Obr.5.

Jelikož volba IRQ kanálu je dána PnP mechanismy PCI BIOSu, následující odstavce budou věnovány pouze volbě zdroje přerušení s ohledem na praktické využití.

### 7.2. Zdroje přerušení

Digitální vstup DIN0 umožňuje vyvolat přerušení sestupnou hranou signálu, tzn. přechodem z úrovně ">15V" do úrovně "<5V". Digitální vstup DIN1 umožňuje vyvolat přerušení náběžnou hranou signálu.

Interní časovač umožňuje vyvolat periodické přerušení přetečením.

Každý ze zdrojů přerušení lze individuálně povolit i nulovat prostřednictvím registru IRQCfgReg.

### 7.3. Programová obsluha přerušení

Zjednodušený algoritmus programové obsluhy je popsán v následujícím postupu:

#### -> inicializace

1. program nainstaluje přerušovací rutinu na IRQ kanál přidělený BIOSem (viz popis PCI konfiguračních registrů v příloze manuálu)
2. program vynuluje případné nezpracované příznaky pomocí IRQClrReg (IRQClrReg=FFh) a povolí obvody přerušovací linky (INTEnReg=80h)
3. program povolí požadované zdroje přerušení na kartě (např. IRQCfgReg=00010001 povolí přerušení od DIN0 a časovače)
4. je-li vyžadován, program spustí časovač (např. TimerReg=25 nastaví periodické přerušování od časovače na hodnotu 25 ms)

#### -> po příchodu události je vyvoláno přerušování

- obsluha přerušování** (tzv. ISR) uvolní INTA sběrnice pomocí INTEnReg (zápisem INTEnReg=0h a následně INTEnReg=80h), ukončí rutinu v řadiči přerušování (resp. přenechá řízení další ISR) a předá zprávu aplikačnímu programu
5. program přečte IRQStatusReg a identifikuje přerušování (např. IRQStatusReg=00000001 znamená, že přerušování bylo vyvoláno DIN0)
  6. program vynuluje IRQStatusReg pomocí IRQClrReg (pro daný případ IRQClrReg=00010000)
  7. program znovu přečte IRQStatusReg a je-li nenulový, identifikuje přerušování a smaže jeho příznak podle bodu 6.

#### -> ukončení programu

8. program vynuluje registry INTEnReg a IRQCfgReg, zastaví časovač vynulováním TimerReg, eventuálně vynuluje nezpracované příznaky pomocí IRQClrReg, a odinstaluje přerušovací rutinu

## 8. Popis digitálních vstupů a výstupů

### 8.1. Úvod

Karta PCT-7408A obsahuje 8+8 digitálních portů; signály vstupního digitálního portu jsou současně využity jako vstupy čítačů.

### 8.2. Zapojení vstupů

Pro realizaci vstupů bylo využito optronů s dvojitým optovysílačem schopným zpracovat napětí obou polarit; v praxi lze tedy využít jak pro systémy se společným +24V pólem, tak i společným GND pólem.

Protože klidový stav vstupů odpovídá logické úrovni L, přítomnost externího signálu je signalizováno úrovní H. Podrobně viz obrázek Obr.3.

### 8.3. Zapojení výstupů

Pro realizaci výstupů bylo využito miniaturních přepínacích relé.

Všechna relé jsou po resetu v neaktivním stavu, zápisem úrovně H do registru dojde k jejich aktivaci. Podrobně viz obrázek Obr.4.

## 9. Popis konfigurace FPGA

### 9.1. Úvod

Funkce čítačů a komparátorů je u PC karet řady PCT-7408A realizována na bázi hradlové pole - FPGA - vyžadujícího download konfiguračních dat z diskového souboru při každém zapnutí počítače. Tato nevýhoda je vyvážena možností jednoduchého upgrade a v neposlední řadě výrazně nižší cenou než jiná řešení.

Dále uvedený postup znázorňuje algoritmus funkcí potřebných pro download; pro běžné účely je dodávána programovací utilita (verze pro MS-DOS a Windows).

### 9.2. Zjednodušený postup downloadu

Pro download jsou využívány tyto tři registry:

FPGACtrlReg	registr pro řízená přenosu (WR, BAR4+3FCh)
FPGAStatusReg	registr pro stavové příznaky (RD, BAR4+3FCh)
FPGADwldReg	registr pro přenos dat (WR, BAR4+400h) (v běžném režimu není tento registr dostupný)

**Postup (výchozí stav FPGACtrlReg = 00h):**

1. program zahájí download postupnými zápisy FPGACtrlReg = 01h a FPGACtrlReg = 00h; FPGAStatusReg je nastaven na hodnotu 20h a FPGA je připraveno pro download konfiguračních dat
2. program aktivuje programovací sekvenci zápisem FPGACtrlReg = 02h
3. program otevře soubor s konfiguračními daty, načte první byte a zapíše jej do registru FPGADwldReg  
FPGAStatusReg na zápis reaguje změnou na hodnotu 02h (signalizuje, že přenos dat uvnitř FPGA probíhá) a následně po max. 1,6  $\mu$ s zpět na 22h (~ FPGA RDY)
4. program vyčkává na nastavený příznak RDY v registru FPGAStatusReg nebo na nastavený příznak SPDW (tzn. 10h)
5. program postupně podle bodů 3 a 4 zapíše do FPGA celý obsah souboru
6. program ukončí programovací sekvenci zápisem FPGACtrlReg = 00h a FPGAStatusReg po ukončení programování setrvává ve stavu 10h; zůstane-li po ukončení programování v registru FPGAStatusReg hodnota 20h, přenos dat neproběhl úspěšně a je potřeba jej opakovat



*Důvodem pro nesprávné naprogramování FPGA může být chyba v programu nebo nesprávný či poškozený konfigurační soubor.*

Prázdná Strana


<b>funkce</b>	<b>PIN</b>	<b>PIN</b>	<b>funkce</b>
DIN0/CNT0	C1		
DIN2/CNT2	C2	C6	DIN1/CNT1
DIN4/CNT4	C3	C7	DIN3/CNT3
DIN6/CNT6	C4	C8	DIN5/CNT5
ISOGND	C5	C9	DIN7/CNT7

Tab.1. Zapojení vývodů konektorů Cannon 9.  
(vstupy jsou společné pro digitální port i čítače).

 Zapojení vstupů je zakresleno na obrázku Obr.3.

<b>funkce</b>	<b>PIN</b>	<b>PIN</b>	<b>funkce</b>
DOUT0_NO	C1		
DOUT0_NC	C2	C14	DOUT0_CM
DOUT1_CM	C3	C15	DOUT1_NO
DOUT2_NO	C4	C16	DOUT1_NC
DOUT2_NC	C5	C17	DOUT2_CM
DOUT3_CM	C6	C18	DOUT3_NO
DOUT4_NO	C7	C19	DOUT3_NC
DOUT4_NC	C8	C20	DOUT4_CM
DOUT5_CM	C9	C21	DOUT5_NO
DOUT6_NO	C10	C22	DOUT5_NC
DOUT6_NC	C11	C23	DOUT6_CM
DOUT7_CM	C12	C24	DOUT7_NO
---	C13	C25	DOUT7_NC

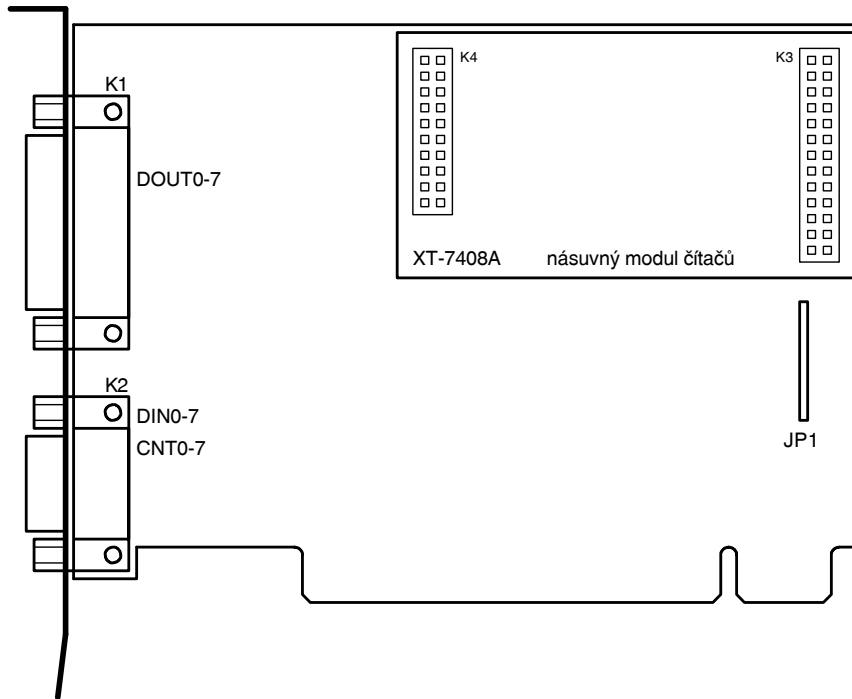
Tab.2. Zapojení vývodů konektorů Cannon 25.

 Zapojení výstupů a označení vývodů je zakresleno na obrázku Obr.4.

<b>adresa registru (hex)</b>	<b>funkce registru</b>
BAR4+000	DIOReg0 - registr digitálních vstupů
BAR4+004	DIOReg1 - registr digitálních výstupů
BAR4+008 ÷ BAR4+1FC	rezerva
BAR4+200	IRQCfgReg, IRQStatusReg - registry obvodů přerušení
BAR4+204	IRQClrReg - řídicí registr obvodů přerušení
BAR4+208	TimerReg - generátor časových značek
BAR4+20C	INTEnReg - řídicí registr obvodů přerušení
BAR4+210 ÷ BAR4+3F8	rezerva
BAR4+3FC	registr pro download obsahu FPGA
BAR4+400 ÷ BAR4+408	datové registry CNT0
BAR4+40C	rezerva
BAR4+410 ÷ BAR4+41C	datové registry TIM0
BAR4+420 ÷ BAR4+43C	registry CNT1/TIM1 (analogické BAR4+400 ~ BAR4+41C)
BAR4+440 ÷ BAR4+45C	registry CNT2/TIM2 (analogické BAR4+400 ~ BAR4+41C)
BAR4+460 ÷ BAR4+47C	registry CNT3/TIM3 (analogické BAR4+400 ~ BAR4+41C)
BAR4+480 ÷ BAR4+49C	registry CNT4/TIM4 (analogické BAR4+400 ~ BAR4+41C)
BAR4+4A0 ÷ BAR4+4BC	registry CNT5/TIM5 (analogické BAR4+400 ~ BAR4+41C)
BAR4+4C0 ÷ BAR4+4DC	registry CNT6/TIM6 (analogické BAR4+400 ~ BAR4+41C)
BAR4+4E0 ÷ BAR4+4FC	registry CNT7/TIM7 (analogické BAR4+400 ~ BAR4+41C)
BAR4+500 ÷ BAR4+5BC	rezerva
BAR4+5C0	CNTEnReg - řídicí registr čítačů
BAR4+5C4	CNTClrReg - řídicí registr čítačů
BAR4+5C8	CNTStrReg - řídicí registr čítačů
BAR4+5CC	CNTSlpReg - řídicí registr čítačů
BAR4+5D0 ÷ BAR4+5F8	rezerva
BAR4+5FC	verze FPGA, formát [D7~D4.D3~D0]
BAR4+600 ÷ BAR4+7FC	rezerva

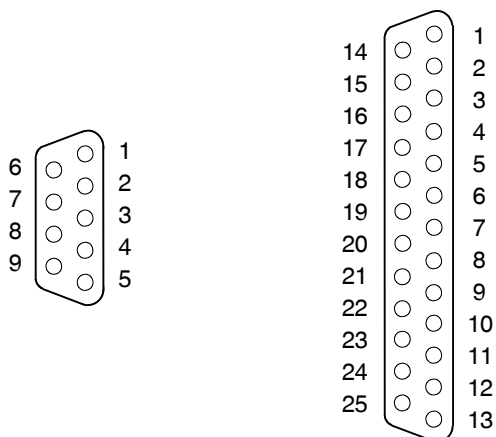
Tab.3. Struktura adresového prostoru karty.



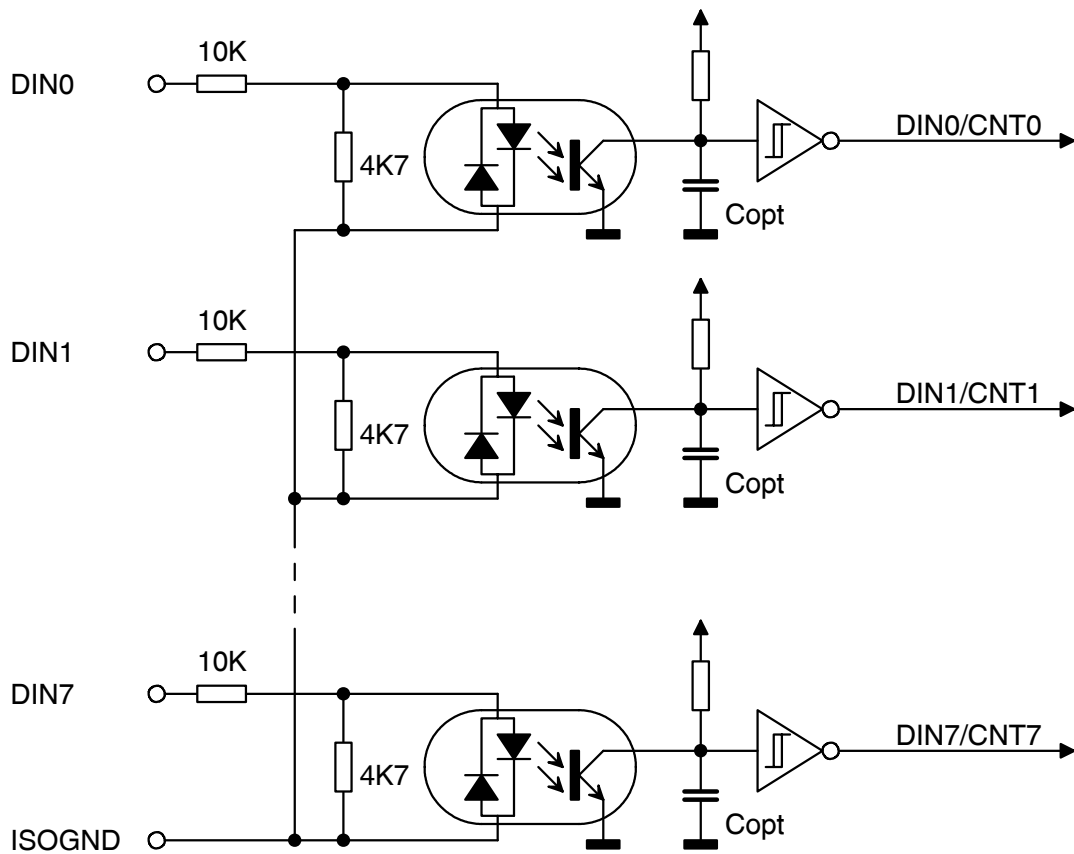


Obr.1. Rozmístění důležitých prvků na kartě PCT-7408A.

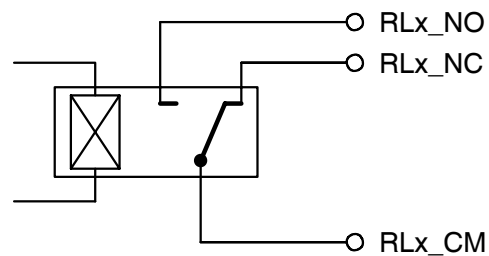
- K1 konektory portu DOUT0~7
- K2 konektory portu DIN0~7 a CNT0~CNT7
- XT-7408A násuvný modul čítačů
- JP1 konektor určený pouze pro servisní účely



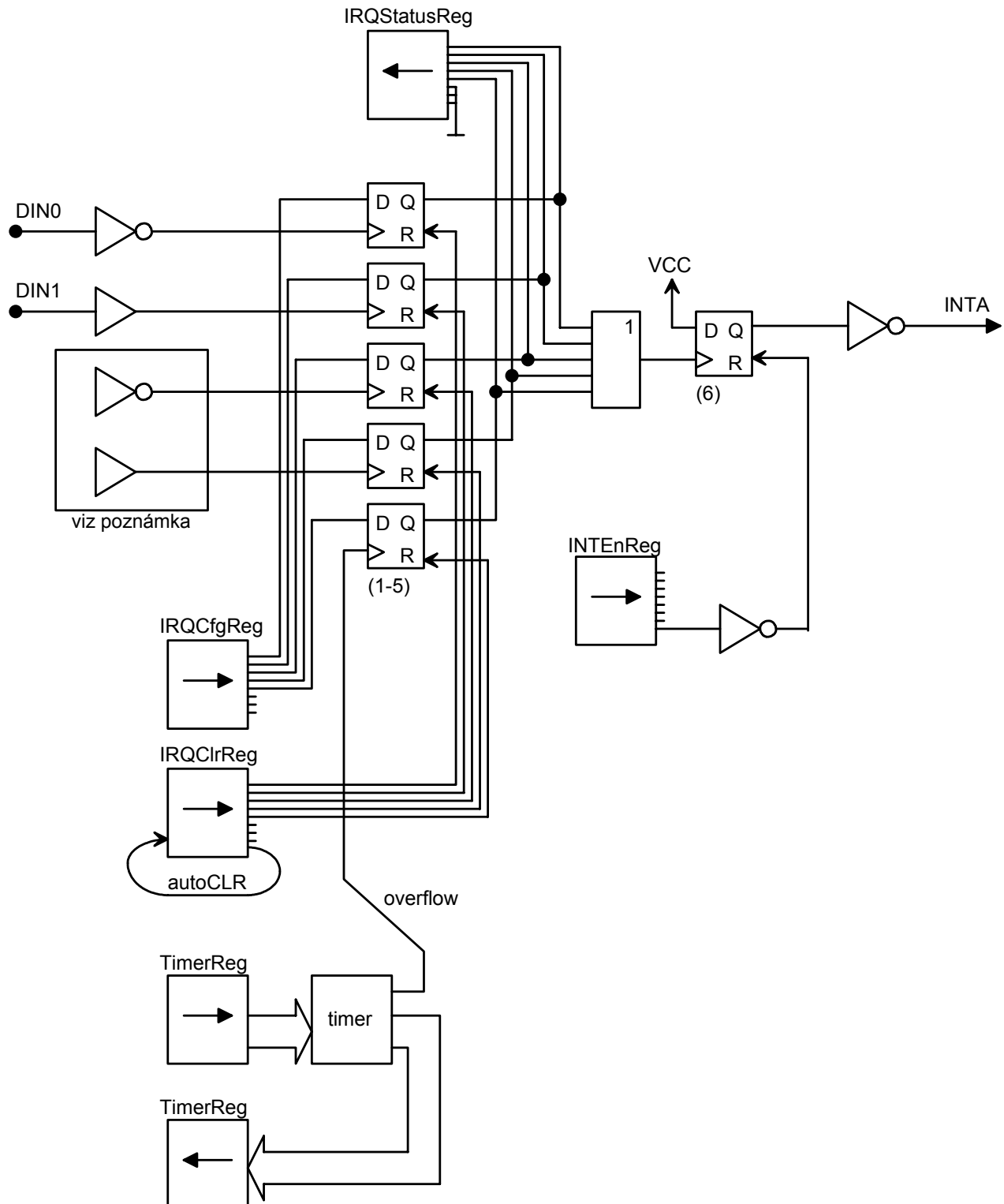
Obr.2. Rozmístění vývodů na konektoru Cannon 9 a Cannon 25.



Obr.3. Zapojení vstupních obvodů  
(kondenzátory Copt plní funkci filtrů a lze je po dohodě zakázkově doplnit)



Obr.4. Zapojení a označení vývodů relé.



Obr.5. Vnitřní blokové schéma obvodů přerušení.



*PCT-7408A obsahuje logiku přerušení analogickou kartě PCD-7104; výjimkou jsou dva nedostupné signály vyznačené na obrázku.*

Prázdná Strana

# 1. PCI bridge OX9162


## 1.1. PCI konfigurační registry

Popis vychází z "PCI local bus specification revision 2.2" vydané 18. prosince 1998. Softwarový interface pro přístup do PCI konfiguračních registrů je popsán ve specifikaci PCI BIOS (aktuálně rev. 2.1 z 26.8.1994).

Offset	Data			
	31 ..... 24	23 ..... 16	15 ..... 08	07 ..... 00
+00 <sub>H</sub>	Device ID (= DID)		Vendor ID (= VID)	
+04 <sub>H</sub>	Status		Command	
+08 <sub>H</sub>	Class Code			Revision ID
+0C <sub>H</sub>	BIST	Header Type	Reserved	Reserved
+10 <sub>H</sub>	Base Address Register 0 (BAR0)			
+14 <sub>H</sub>	Base Address Register 1 (BAR1)			
+18 <sub>H</sub>	Base Address Register 2 (BAR2)			
+1C <sub>H</sub>	Base Address Register 3 (BAR3)			
+20 <sub>H</sub>	Base Address Register 4 (BAR4)			
+24 <sub>H</sub>	Reserved			
+28 <sub>H</sub>	Reserved			
+2C <sub>H</sub>	Subsystem ID (= Sub ID)		Subsystem VID (= Sub VID)	
+30 <sub>H</sub>	Reserved			
+34 <sub>H</sub>	Reserved			Cap_Ptr
+38 <sub>H</sub>	Reserved			
+3C <sub>H</sub>	Reserved	Reserved	Interrupt Pin	Interrupt Line
+40 <sub>H</sub>	nepovinná část			
...				
+FF <sub>H</sub>				

### Obsah důležitých registrů:

VID	1760 <sub>H</sub>	TEDIA
DID	definuje typ karty TEDIA	
Class Code	118000 <sub>H</sub>	"other data acquisition adapter"
BAR0-BAR4	PnP	bázové adresy prostorů přiřazené PCI BIOSem
Sub VID	1760 <sub>H</sub>	TEDIA
Sub ID	podle registrové verze karty	
Interrupt Pin	číslo IRQ kanálu (0 = žádný, 2 = IRQ2, 3 = IRQ3, ... , 15 = IRQ15)	

 Popis ostatních registrů lze nalézt v PCI BUS specifikaci.


## 1.2. Struktura Base Address Register

Obsah bázových registrů (Base Address Register) je definován PCI BIOSem a aplikace jej nesmí modifikovat; smí jej pouze číst.

Registr má strukturu odlišnou pro MEM a I/O mapování, viz dále:


D31 ... D4	D3	D2	D1	D0
BASE (31-4)	PREF	Type		0

0	určuje MEM prostor
Type	0 0 umístěno v 32-bitovém adresovém prostoru
	0 1 rezerva
	1 0 umístěno v 64-bitovém adresovém prostoru
	1 1 rezerva
PREF	0 funkce "prefetch" není povolena (viz. poznámka)
	1 funkce "prefetch" je povolena (viz. poznámka)
BASE (31-4)	bázová adresa v MEM prostoru (registr obsahuje vyšších 28 bitů; skutečná adresa vznikne operací ADR = BAR and FFFFFFFF0); v případě BASE(31-4)=0 nebyl MEM prostor BIOSem přidělen

 *Funkce "prefetch" není řadičem OX9162 podporována.*

D31 ... D1	D0
BASE (31-1)	1

1	určuje I/O prostor
BASE (31-1)	bázová adresa v I/O prostoru (registr obsahuje vyšších 31 bitů; skutečná adresa vznikne operací ADR = BAR4 and FFFFFFFFE); v případě BASE(31-1)=0 nebyl I/O prostor BIOSem přidělen

 *Přestože Intel x86 architektura pracuje s 16-bitovým I/O adresováním, je podle PCI specifikace nezbytné plné 32-bitové dekódování adresy. Nicméně v počítačích třídy PC obsahuje BIOSem nastavená adresa nulové bity D31-D16 a proto lze I/O přístupy s výhodou využít i v reálném módu Intel x86 procesoru.*

Struktura registru BAR uvedená výše je popsána z pohledu aplikačního software (resp. aplikačního ovladače), kdy BAR poskytuje přiřazenou bázovou adresu, avšak nikoliv velikost prostoru. Tento údaj musí aplikace převzít ze znalosti PCI chipsetu.

Registr má odlišný význam pro detekční procedury PCI BIOSu a metodou "pevně nulovaných" bitů umožní předat i informaci o požadavku na velikost prostoru.

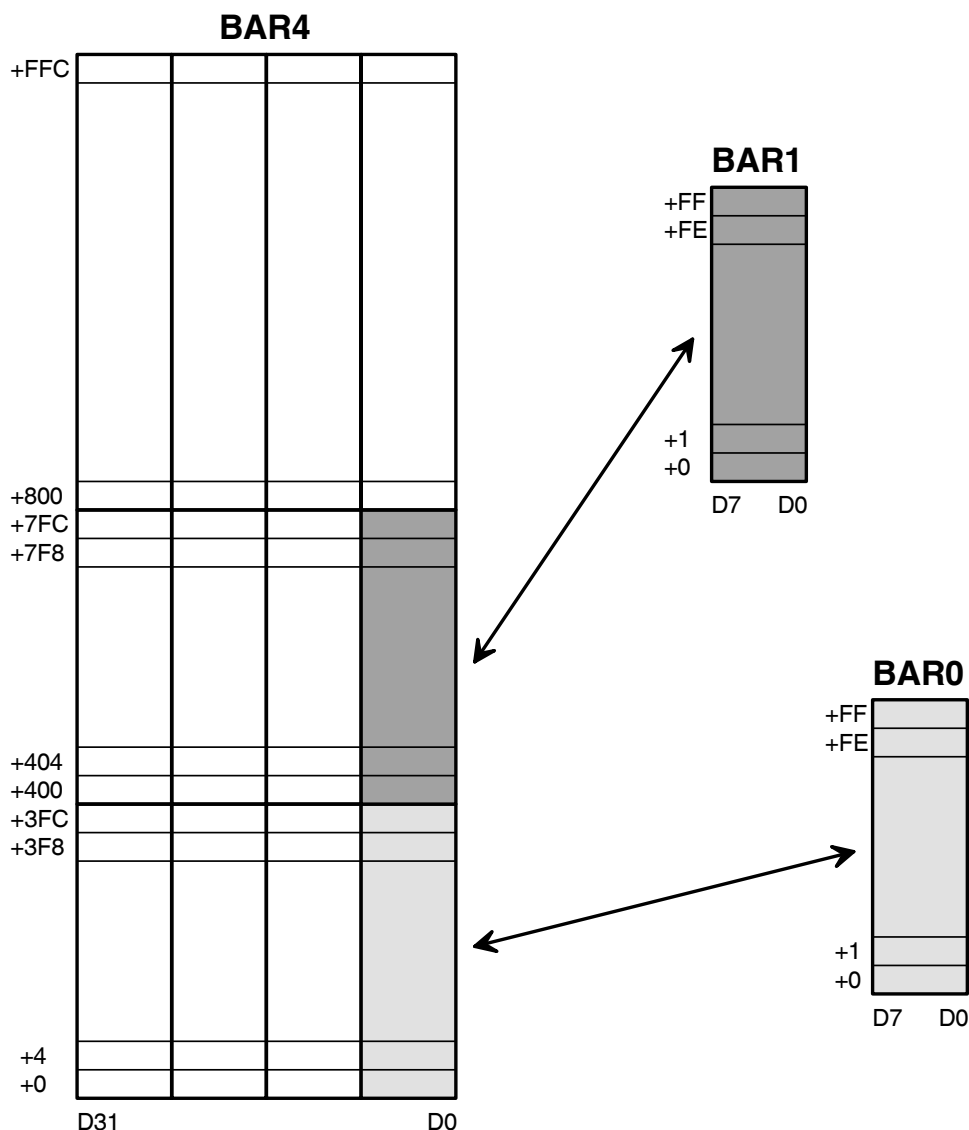
Všechny karty TEDIA s chipsetem OX9162 mají konfigurovány prostory:

BAR0	256B I/O, určen pro přístup do funkčních registrů
BAR1	256B I/O, určen pro přístup do funkčních registrů
BAR2	32B I/O, určen pro přístup dokonfiguračních registrů OX9162
BAR3	4kB MEM, určen pro přístup dokonfiguračních registrů OX9162
BAR4	4kB MEM, určen pro přístup do funkčních registrů

### 1.3. Mapování registrů v BAR0, BAR1 a BAR4

Lokální "pass-through" sběrnice disponuje rozsahem až 512 registrů (tuto konfiguraci využívají všechny karty TEDIA® osazené chipsetem OX9162) a umožňuje tyto registry mapovat současně v MEM i I/O PCI prostoru. Oba alternativní přístupy jsou z pohledu registrů zcela záměnné.

Na níže uvedeném obrázku je zakresleno mapování funkčního registrového bloku o efektivní velikosti 512B do celkových 4kB (~1k x 32) prostoru BAR4 (využitá část prostoru je vyznačena šedou výplní; zbývající registry MEM prostoru jsou rezervovány) a znázorněn alternativní přístup prostřednictvím dvou I/O prostorů BAR0/BAR1 s kapacitou 2x 256B.



#### Příklad:

$RD[BAR0+01_H] \sim RD[BAR4+04_H]$

$WR[BAR1+FF_H] \sim WR[BAR4+7FC_H]$

Prázdná strana





