

UDAQ moduly druhé generace

Společné vlastnosti

[illegible]

OBSAH

1. Základní informace

- 1.1 Úvod
- 1.2 Kde získat další informace, technická podpora

2. Úvodní popis

- 2.1 Úvod
- 2.2 Obvodové řešení

3. Vnitřní procesy

- 3.1 Úvod
- 3.2 Chování po startu
- 3.3 Dohled nad stavem I/O desky a související reakce
- 3.4 Start/stop firmware
- 3.5 Restart přístroje
- 3.6 Blokové přenosy dat (tzn. streamovaný přenos dat)

4. Chybové stavy v průběhu činnosti

- 4.1 Úvod
- 4.2 Chybové stavy při přístupu do registrů FPGA
- 4.3 Chybové stavy při blokovém přenosu dat

Prázdná strana

1. Základní informace

1.1 Úvod

Dokument je věnován specifikaci základních vlastností UDAQ modulů primárně osazených dvoukanálovým řadičem FT2232H a s implementovanými protokoly UP4 + UP1024/1040.

1.2 Kde získat další informace, technická podpora

Další užitečné informace lze získat na adrese...

URL: <https://www.tedia.cz>

V případě nejasností se lze obrátit na technickou podporu výrobce:

adresa: TEDIA spol. s r. o., Zábělská 12, 312 11 Plzeň, Česká republika

URL: <https://www.tedia.cz/podpora>

Doporučujeme seznámit se s užitečnými pravidly pro kontaktování technické podpory (viz výše uvedená URL).

Poznámka: *Ačkoliv byla tato programátorská příručka vytvořena s maximální pečlivostí, nelze vyloučit, že obsahuje chyby. Domníváte-li se, že jsou některé údaje uvedeny nesprávně, neúplně nebo nepřesně, prosíme, informujte technickou podporu.*

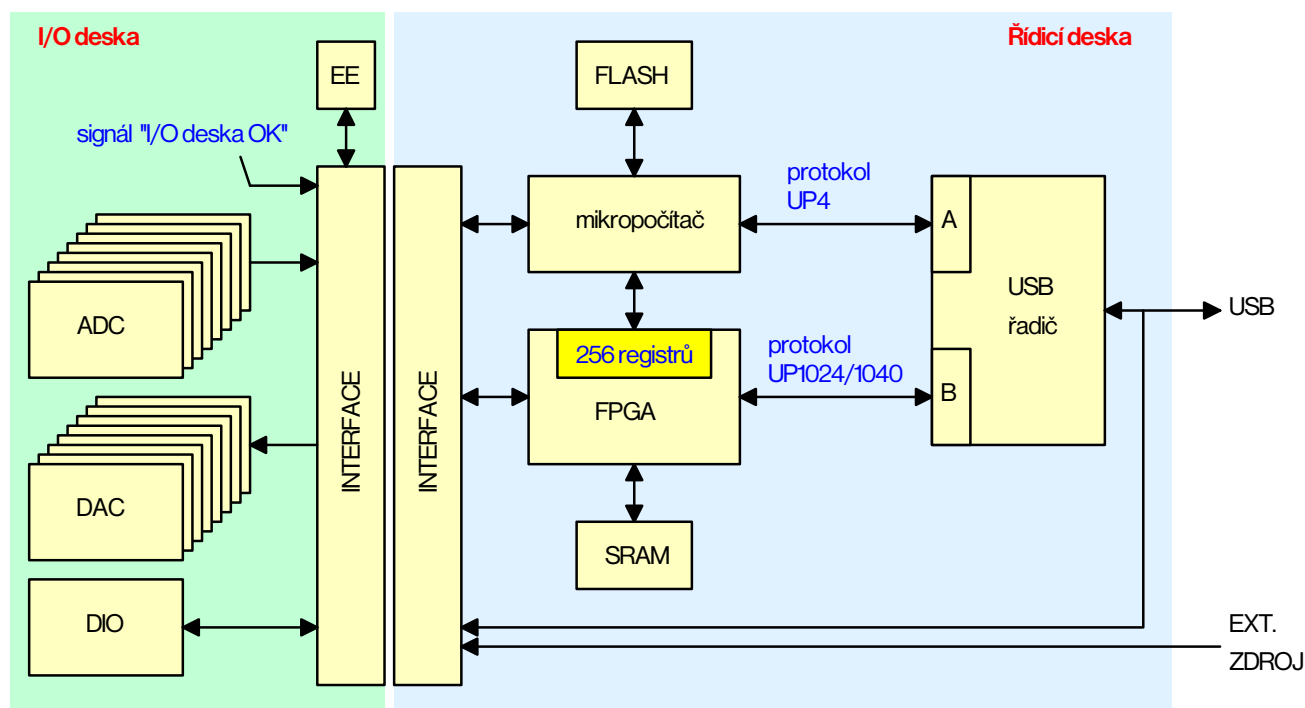
2. Úvodní popis

2.1 Úvod

Kapitola je věnována popisu základního řešení osazeného řadičem FT2232H, mikropočítačem a FPGA.

2.2 Obvodové řešení

Blokové schema je na obrázku níže...



Popis bloků řídicí a I/O desky

USB řadič

V základním provedení je osazen typ FT2232H v konfiguraci dvou paralelních sběrnic; kanál A je připojen k mikropočítači, kanál B k FPGA. Použitelná datová propustnost dosahuje až 6 MB/s.

Mikropočítač

Mikropočítač obsluhuje kanál A řadiče FT2232H a přístupy do registrové struktury FPGA (je popsána v programátorské příručce každého modulu). Funkčně řeší implementaci protokolu UP4.

FLASH

Modul je osazen flash pamětí s kapacitou 2 MB pro uložení firmware FPGA, provozních kalibračních konstant apod.

FPGA

FPGA je připojeno prvním portem k mikropočítači (zpřístupňuje registrovou strukturu), druhým portem k FT2232H a třetím portem k I/O desce. Funkčně řeší implementaci protokolu UP1024/1040 a veškerou obsluhu I/O desky.

SRAM

SRAM vytváří datové zásobníky vložené mezi toky I/O periférií a toky B kanálu USB řadiče.

EE

Každá I/O deska obsahuje EEPROM pro uložení identifikačních údajů a kalibračních konstant.

Upozornění: Kalibrační konstanty uložené v EEPROM nejsou využívány jako provozní, při sestavení řídicí a I/O desky je nezbytné v rámci výrobní konfigurace přenést kopii kalibračních konstant z EEPROM do FLASH. Uvedené řešení však umožňuje servisní zásah přístroje bez potřeby nové kalibrace.

3. Vnitřní procesy

3.1 Úvod

Dále uvedené odstavce jsou věnovány procesům probíhajícím v řídicí desce.

3.2 Chování po startu

Úvodní sekvence operací je 100% definována firmware mikropočítače; po startu (tzn. zapnutí napájecího napětí USB portu, restart vyvolaný příkazem z PC nebo restart vyvolaný chybou běhu firmware) mikropočítač provádí posloupnost...

- inicializace periférií mikropočítače
- zjištění stavu spínače podmiňujícího konfiguraci FPGA;
je-li konfigurace povolena, přenesení mikropočítače do FPGA obsahem flash paměti;
v případě selhání jsou provedeny celkem tři pokusy konfigurace a poté je obsah flash považován za nekorektní
- v případě úspěšné konfigurace FPGA jsou do FPGA přeneseny z flash paměti inicializační a kalibrační konstanty;
verifikována je shoda kalibračních konstant ve flash paměti a EEPROM (tzn. zda nedošlo k výměně I/O desky)

Fáze inicializace trvá necelou sekundu v případě úspěšné konfigurace FPGA prvním pokusem, v případě tří neúspěšných pokusů o konfiguraci pak 5÷10 sekund. Po celou dobu inicializace je aktivována žlutá LED.

Po úspěšné inicializaci (= funkční FPGA a korektní konstanty) mikropočítač ve smyčce provádí následující obsluhy...

- testuje signál signalizující provoz I/O desky (zpravidla dohled nad napájecím zdrojem), viz samostatný odstavec
- obsluhuje protokol UP4 (tzn. komunikuje s nadřazeným PC kanálem A řadiče USB)

3.3 Dohled nad stavem I/O desky a související reakce

Výchozím stavem po startu je "I/O deska není OK" a firmware v režimu IDLE; v tomto stavu lze pomocí protokolu UP4 číst identifikaci modulu, přistupovat k flash paměti, provádět povely *Start firmware*, *Stop firmware* nebo *Restart přístroje*, nelze však přistupovat do registrů FPGA (viz popis protokolu UP4, chybový kód ERR23).

Mikropočítač testuje signál signalizující stav I/O desky a je-li po dobu 100 ms ve stavu "I/O deska OK", aktivuje v FPGA proces inicializující periferní obvody na I/O desce (konfigurace, zápis bezpečných hodnot do výstupních portů apod.).

Po proběhnutí inicializačního procesu zůstává firmware v režimu IDLE, je však schopen přepnutí do plného provozního režimu RUN (povel *Start firmware*, viz další popis).

Dojde-li k signalizaci "I/O deska není OK", algoritmus přechází do režimu jako po startu (IDLE a čekání na "I/O deska OK").

3.4 Start/stop firmware

Funkce start/stop firmware jsou povely protokolu UP4 umožňující ze strany USB reinitializovat běh firmware s výrazně menší intervencí a časovými nároky než povel *Restart přístroje*.

Po provedení povelu *Start firmware* přechází firmware do režimu RUN, po provedení povelu *Stop firmware* přechází firmware do režimu IDLE. Opakované volání povelu *Start firmware* (tzn. volání povelu v režimu RUN) nebo opakované volání povelu *Stop firmware* (tzn. volání povelu v režimu IDLE) nezpůsobí žádnou chybu.

Je-li firmware v režimu v režimu RUN, funguje podle popisu uvedeného v programátorské příručce modulu, je-li v režimu IDLE, jsou blokovány přístupy do registrů FPGA a I/O periferie jsou převedeny do bezpečného stavu.

3.5 Restart přístroje

Povel *Restart přístroje* vyvolá tutéž proceduru jako po zapnutí napájecího napětí, tedy včetně nové konfigurace FPGA.

3.6 Blokové přenosy dat (tzn. streamovaný přenos dat)

Pro blokový přenos dat (nebo jinak také streamovaný přenos dat) je použit protokol UP1024/1040.

V případě měření jsou přenášena data z modulu do PC v paketech dlouhých 1040 byte rozdělených na 1024 byte datovou část a 16 byte diagnostickou patičku. Pakety jsou sestavovány do USB toku vřazovány...

- jakmile je k dispozici 1024 byte dat (v takovém případě je přenášén paket se 100% zaplněním daty)
- jakmile vypršel čas 50÷100 ms od posledního sestavení paketu (je přenášén paket s částečným zaplněním daty)

Pokud probíhá generování (bez ohledu, zda současně probíhá měření), jsou modulem vždy vysílány pakety v souladu s popisem uvedeným v předešlém odstavci. V případě měření obsahují naměřená data, v případě generování bez měření jsou vysílány pakety s nulovým zaplněním daty.

Z uvedeného je patrné, že pokud probíhá jakýkoliv blokový přenos dat, program v PC má vždy k dispozici pakety vysílané z modulu; bez ohledu na smysl přenášéných dat má tedy vlákno trvale diagnostické informace o probíhajících přenosech.

4. Chybové stavy v průběhu činnosti

4.1 Úvod

Dále uvedené odstavce jsou věnovány chybové stavy v průběhu činnosti, tedy zejména podtečení/přetečení datových zásobníků nebo signalizaci stavu "I/O deska nefunguje".

4.2 Chybové stavy při přístupu do registrů FPGA

Signalizuje-li I/O deska funkční stav a současně firmware je v režimu RUN (tzn. byl proveden povel *Start firmware*), lze ze strany USB přistupovat do registrů FPGA.

Poznámka: Vyslat povel lze vždy (a jeho přijetí je také vždy potvrzeno), fakticky je však proveden (tzn. aktivován režim RUN) pouze v případě, že jsou splněny všechny podmínky (nakonfigurované FPGA, korektní konstanty, zapnuté napájecí zdroje apod.).

Detekuje-li firmware mikropočítače stav "I/O deska není OK" (například odpojení externího zdroje napájecího I/O desku), firmware přechází do režimu IDLE a přístupy do registrů FPGA jsou blokovány. Přechod do režimu IDLE lze rovněž vyvolat i povel *Stop firmware*.

Jaký je důvod pro režimy RUN/IDLE přepínané povel *Start firmware* a *Stop firmware*, resp. proč je vyhodnocován stav I/O desky a nuceně vyvoláván režim IDLE? A proč je vyžadována aktivace režimu RUN povel z PC?

Představme si pro příklad situaci, kdy modul plní funkci čítače pulzů a I/O deska obsahuje signálové obvody napájené z jiného zdroje než z USB. Program nejprve inicializuje modul a následně občasně čte hodnotu čítače (tzn. čte registry FPGA obsahující hodnotu čítače). Za běhu programu však dojde k vypnutí napájecího zdroje a tedy zániku čítaných pulzů a tedy i neplatné hodnotě čítače; program musí být o této fatální chybě informován.

Řešení je celá řada, jen málokteré však splňuje požadavek na nulový zásah do sekvence povelů; zvoleno tedy bylo řešení, kdy při výpadku zdroje I/O desky dojde ihned k přepnutí do režimu IDLE a zablokování přístupu do registrů FPGA. Program v režimu RUN čte korektní hodnotu čítače a po přechodu do režimu IDLE je na úrovni UP4 protokolu vrácen chybový kód ERR23. A přístup do registrů je blokován až do okamžiku, kdy dojde k novému přechodu do režimu RUN (což je však umožněno až po zapnutí zdroje I/O desky).

Pokud by modul přešel z režimu IDLE do RUN automaticky po zapnutí zdroje I/O desky a výpadek by byl kratší, než perioda, se kterou program čte stav čítače, mohlo by dojít k přehlédnutí výpadku zdroje a tedy přehlédnutí ztráty pulzů.

Bylo by sice možné program dodatečně informovat o přehlédnutém výpadku zdroje (např. stavovým registrem FPGA), takové řešení by však vyžadovalo doplnit do sekvence povel, kterým by byl tento příznak čten. Navíc by takové řešení nebylo řešeno pouze prostředky UP4 protokolu a bylo by tedy závislé na typu modulu.

Program by měl po spuštění provést povel *Start firmware* a otestovat spuštění firmware čtením registru FPGA; v případě chyby povely *Start firmware* opakovat. Pokud chce vyvolat inicializaci, může na počátku programu použít povel *Stop firmware* nebo *Restart přístroje*.

Poznámka: Popis je uveden z pohledu programu využívajícího přímo UP4 povely, v případě nadstavbové knihovny je potřeba vzít v úvahu, že povely *Start firmware*, *Stop firmware* nebo *Restart přístroje* mohou být volány automaticky při otevření spojení s modulem, případě zakomponovány do některých API funkcí knihovny.

4.3 Chybové stavy při blokovém přenosu dat

Pro blokový přenos dat (nebo jinak také streamovaný přenos dat) je použit protokol UP1024/1040 umožňující v rámci "patičky" přenášet řadu diagnostických informací (viz popis protokolu UP1024/1040).

Dva příznaky implementované v patičce protokolu UP1024/1040 umožňují signalizovat chyby vzniklé při přenosu dat...

- přetečení zásobníku naměřených dat; obsah zásobníku lze vyčíst, ale další data již nejsou doplňována
- chyba integrity generovaných dat (chyba číslování paketů nebo kontrolního součtu); v takovém případě je generování ukončeno po vyprázdnění zásobníku, protože další data přenesená z PC již nejsou do zásobníku zapisována
- podtečení zásobníku dat určeného pro kontinuální generování; v takovém případě generování pokračuje dál po doplnění dat, v generovaném průběhu se však objevily výpadky

Třetí příznak signalizuje fatální chybu znemožňující korektní činnost, typicky výpadek napájecího napětí I/O desky.