

UDAQ-3428/3429

**Uživatelská a
programátorská
příručka**

Historie dokumentu		
datum	verze	změny
25.1.2023	01.2023	výchozí verze dokumentu
24.3.2023	03.2023	drobná zpřesnění
8.9.2023	09.2023	změna mezní vzorkovací frekvence ADC, oprava drobných chyb
21.11.2023	11.2023	drobná zpřesnění

Výhrada odpovědnosti, autorských práv, ochranných známek a názvů:

Ačkoliv byla tato programátorská příručka vytvořena s maximální pečlivostí, nelze vyloučit, že obsahuje chyby. Domníváte-li se, že jsou některé údaje uvedeny nesprávně, neúplně nebo nepřesně, prosíme, informujte technickou podporu.

Pro případ typografických nebo obsahových chyb si TEDIA® vyhrazuje právo kdykoliv provést opravy nebo zpřesnění publikovaných informací. Právě tak produkty popsané v programátorské příručce mohou být kdykoliv revidovány se záměrem zlepšení technických parametrů nebo dosažení lepších užitných vlastností. Doporučujeme proto před každým užitím této příručky ověřit, zda není k dispozici vydání nové.

TEDIA® nezodpovídá za žádné škody vzniklé užitím této programátorské příručky nebo informací v příručce obsažených.

Programátorská příručka a její součásti jsou autorským dílem chráněným ustanovením zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon) v platném znění.

Všechna jména a názvy použité v textu mohou být chráněnými známkami nebo obchodními názvy výrobků příslušných firem.

© 1994+2023 TEDIA® spol. s r. o.

OBSAH

1. Základní informace

- 1.1 Úvod
- 1.2 Kde získat další informace, technická podpora

2. Technické parametry a základní vlastnosti

- 2.1 Úvod
- 2.2 Technické parametry
- 2.3 Konektory, DIP spínače, LED
- 2.4 Zapojení D-Sub 25 konektoru
- 2.5 Vnitřní struktura I/O signálů a převodníků

3. Popis registrové struktury

- 3.1 Úvod
- 3.2 Základní registry

4. Příklady softwarové obsluhy

- 4.1 Úvod
- 4.2 Úvodní inicializace po otevření spojení s modulem
- 4.3 Jednorázový přístup k digitálnímu vstupu
- 4.4 Jednorázový přístup k výstupům
- 4.5 Obsluha měření
- 4.6 Obsluha generování

Prázdná strana

1. Základní informace

1.1 Úvod

Tato programátorská příručka je věnována popisu USB DAQ modulů řady UDAQ-3428/3429.

Moduly v základní konfiguraci nabízejí...

- osm diferenciálních analogových vstupů
- dva analogové výstupy
- jeden digitální vstup
- izolace funkčních bloků (řídící deska, napájecí zdroj, blok analogových vstupů, blok digitálního vstupu)

Dodávány jsou rovněž rozšířené typy UDAQ-3428**/3429** (pouzdro s větší výškou) nabízející nad rámec základních funkcí v závislosti na typu...

- až osm analogových výstupů
- až osm digitálních vstupů (+ jednosměrné čítače) a osm digitálních výstupů
- až tři kanály pro IRC snímače

Typům s rozšířenými funkcemi jsou věnovány samostatné příručky.

1.2 Kde získat další informace, technická podpora

Další užitečné informace lze získat na adrese...

URL: <https://www.tedia.cz>

V případě nejasností se lze obrátit na technickou podporu výrobce:

adresa: TEDIA spol. s r. o., Zábělská 12, 312 11 Plzeň, Česká republika

URL: <https://www.tedia.cz/podpora>

Doporučujeme seznámit se s užitečnými pravidly pro kontaktování technické podpory (viz výše uvedená URL).

Poznámka: Ačkoliv byla tato programátorská příručka vytvořena s maximální pečlivostí, nelze vyloučit, že obsahuje chyby. Domníváte-li se, že jsou některé údaje uvedeny nesprávně, neúplně nebo nepřesně, prosíme, informujte technickou podporu.

2. Technické parametry a základní vlastnosti

2.1 Úvod

Dále uvedené odstavce jsou věnovány technickým parametrům základního provedení modulu.

2.2 Technické parametry základního provedení

Analogové vstupy

počet vstupů:	8x DIF.
vstupní rozsah:	± 10 V
vstupní impedance:	>100 MOhm (vstup INA823 + ochranný tranzil PESD2CAN)
vstupní napětí:	± 12 V max. (pro lineární zpracování) ± 24 V max. (při vyšším napětí dojde k poškození vstupních obvodů)
rozlišení ADC:	14 bitů (modul osazen osmi převodníky)
vzorkovací frekvence:	200 kHz max. (platí pro každý vstup samostatně; frekvence společná všem vstupům)
izolace:	1000 V _{DC} (proti řídící desce s USB rozhraním) 100 V _{DC} (proti obvodům digitálního vstupu a obvodům napájecího zdroje 24V)

Analogové výstupy (softwarové řízení i generování datovým tokem) - pouze verze UDAQ-3428

počet výstupů:	2x S.E.
výstupní rozsah:	± 10 V
zatížitelnost:	5 mA max.
rozlišení DAC:	12 bitů (modul osazen dvěma převodníky)
vzorkovací frekvence:	1000 kHz max. (platí pro každý výstup samostatně; frekvence společná oběma výstupům)

Digitální vstupy

počet vstupů:	1
vstupní rozsah:	5V (<2 V => úroveň L, $>3,7$ V => úroveň H; práh komparace typicky 3,0 V)
vstupní impedance:	cca 2 kOhm
izolace:	1000 V _{DC} (proti řídící desce s USB rozhraním) 100 V _{DC} (proti obvodům analogových vstupů a obvodům napájecího zdroje 24V)

USB rozhraní

typ USB rozhraní:	USB 2.0 v režimu high-speed
-------------------	-----------------------------

Napájení modulu

Všechny obvody jsou napájeny výhradně z USB (tzn. 5 V, proud 0,5 A max.), modul nevyžaduje externí zdroj.

Identifikační údaje

USB VID/PID:	0403 _H / FB72 _H
výrobní číslo:	300***** (osmimístné číslo začínající 300) pro UDAQ-3428, resp. 301***** pro UDAQ-3429

2.3 Konektory, DIP spínače, LED

Na zadní straně modulu jsou dva konektory, dvě LED a dva spínače...

- standardní konektor USB -B
- dvojitý DIP spínač (segment 1 = ON blokuje zápis do Flash paměti; segment 2 = ON nastavuje servisní režim)
- zelená LED svitem signalizuje napájecí napětí z USB (vyžaduje enumeraci v systému)
- žlutá LED svitem signalizuje odpověď přístroje A kanálem, resp. inicializaci přístroje při startu

Na přední straně modulu jsou konektory...

- D-Sub 25 / vidlice pro analogové vstupy/výstupy + jeden digitální vstup (zapojení viz samostatná tabulka dále)

2.4 Zapojení D-Sub 25 konektoru

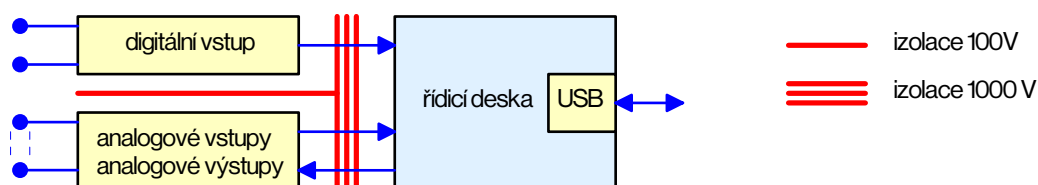
Tabulka níže popisuje zapojení I/O konektoru.

D-Sub 25 / vidlice		
D-Sub		I/O signal
1		DIN0-
	14	DIN0+
2		nezapojeno
	15	nezapojeno
3		AOUT1
	16	AOUT0
4		nezapojeno
	17	nezapojeno
5		AIN7-
	18	AIN7+
6		AIN6-
	19	AIN6+
7		AIN5-
	20	AIN5+
8		AIN4-
	21	AIN4+
9		AIN3-
	22	AIN3+
10		AIN2-
	23	AIN2+
11		AIN1-
	24	AIN1+
12		AIN0-
	25	AIN0+
13		AIN/AOUT_GND

Poznámka: Všechny analogové vstupy a výstupy využívají jako společný signál (GND) pin 13.

Obvody digitálního vstupu jsou od obvodů AIN/AOUT izolované a vnější napětí se přivádí na dva signály.

Schema izolovaných bloků



2.5 Vnitřní struktura I/O signálů a převodníků

Každý z osmi analogových vstupních signálů je zpracován shodným řetězcem obvodů skládajícím se z diferenciálního zesilovače INA823 (+ ochranného tranzilu PESD2CAN) a navazujícího A/D převodníku pracujícím s rozsahem cca $\pm 10,1$ V.

Všechny analogové vstupy jsou vzorkovány zcela synchronně a výstupní data A/D převodníků zpracována lineární interpolací provádějící kalibraci na pracovní rozsah ± 10 V. Data jsou přenášena v přímém 16bitovém kódu, tzn. hodnota 0 reprezentuje vstupní napětí -10V a hodnota 65535 vstupní napětí +10V (tzn. nulové vstupní napětí je reprezentováno hodnotou 32738).

Vzorkovací frekvence je konfigurovatelná v širokém rozsahu, navíc lze aktivovat režim průměrování zvyšující efektivní rozlišení. Měření a kalibrování jsou vždy všechny kanály, podle volby jsou však do datových zásobníků určených pro přenos do počítače zapisována pouze data aktivovaných kanálů.

Pomocný digitální vstup umožňuje standardně pouze asynchronní čtení. Alternativně (vyžaduje instalaci nestandardní verze firmware FPGA) lze zajistit vzorkování společně s analogovými signály (jeho stav je ukládán do dat všech analogových vstupů na pozici nejnižšího bitu všech analogových vstupů). Je-li vstup nezapojen, v datech je úroveň 0, je-li na vstup přivedeno napětí 5V, v datech je úroveň 1.

Analogové výstupy mohou být řízeny buď registry *DAC0Reg/DAC1Reg* (ovládaný jednorázovými zápisy) nebo datovým tokem (2x 12 bitů registru *GenReg*) v závislosti na obsahu registru *GenCfgReg*.

Firmware nabízí čtyři režimy generování nastavitelné pomocí *GenCfgReg* (podrobně viz samostatný popis registru):

režim 0 datový tok je směrován výhradně na osm DOUT (rezerva)

režim 1 datový tok je směrován na DAC0 (12 bitů), zbývající 4 bity mohou být směrovány na čtyři DOUT (rezerva)

režim 2 datový tok je směrován na DAC1 (12 bitů), zbývající 4 bity mohou být směrovány na čtyři DOUT (rezerva)

režim 3 datový tok je směrován na oba DAC (2x 12 bitů), zbývajících 8 bitů může být směrováno na osm DOUT (rezerva)

*Poznámka: Možnost generovat signály pomocí digitálních výstupů (označeny DOUT) je rezervována pro rozšířené typy UDAQ-3428**/3429** vybavené digitálními výstupy; nejsou-li výstupy dostupné, jsou vyhrazené bity vloženy do datového toku nevýznamné.*

3. Popis registrové struktury

3.1 Úvod

Dále uvedené odstavce jsou věnovány popisu registrů FPGA zpřístupněných protokolem UP4 počítači.

3.2 Základní registry

V tabulce níže je uveden přehled základních registrů modulu.

Základní registry		
ADR (HEX)	význam registru	
	WR	RD
+10	DAC0Reg	zpětné čtení hodnoty zapsané do registru
+11	datový registr analogového výstupu AOUT0	
+12	DAC1Reg	zpětné čtení hodnoty zapsané do registru
+13	datový registr analogového výstupu AOUT1	
+20	(rezerva)	DINReg aktuální stav digitálního vstupu
+C0	TimerScanReg	zpětné čtení hodnoty zapsané do registru se zohledněním mezi 600÷16777215.
+C1	dělička pro taktování měření	
+C2	frekvence oscilátoru 120 MHz	
+C3	dělička má platných 24 bitů	
+C4	ADCCfgReg každý bit povolí přenos jednoho ADC do zásobníku	zpětné čtení hodnoty zapsané do registru
+C5	ADCOVerSmplReg průměrování více hodnot ADC (bity D3÷D0) bity D7÷D4 jsou ignorovány/rezervovány	(zpětné čtení)
+C8	TimerGenReg	zpětné čtení hodnoty zapsané do registru se zohledněním mezi 120÷4194304.
+C9	dělička pro taktování generování	
+CA	frekvence oscilátoru 120 MHz	
+CB	dělička má platných 22 bitů	
+CC	GenCfgReg konfigurační registr generování	zpětné čtení hodnoty zapsané do registru
+D8	CWReg start/stop měření a generování, volba režimu	zpětné čtení hodnoty zapsané do registru
+D9	StatusClrReg zápisem hodnoty 1 na zvoleném bitu se nuluje odpovídající příznak ve StatusReg	StatusReg signalizuje přetečení nebo podtečení zásobníků, start v průběhu sekvence (pro měření i generování)
+DE	SWFIFOTrigReg zápis jakýchkoliv dat spustí softwarové měření	SWFIFODataReg čtení dat ze SWFIFO
+DF	(rezerva)	SWFIFOStatusReg aktuální zaplnění SWFIFO
+Fx	systémové registry zápis nebo čtení registrů z tohoto bloku může způsobit těžko definovatelné chování vyžadující restart	

Všechny parametry složené z více registrů (TimerScanReg apod.) obsahují vždy na nejnižší adrese nejnižší bity a nejvyšší adrese nejvyšší bity.

Význam registrů je popsán na následujících stranách.

Upozornění: Přístup na nedokumentované adresy není povolen; může způsobit chybnou činnost a v případě systémových registrů navíc přepis kalibračních konstant apod. Narušení činnosti vyžaduje provést restart modulu.

DAC0Reg (datový registr analogového výstupu 0)

Tento 16bitový parametr složený ze dvou registrů definuje hodnotu DAC0 v režimu softwarového řízení.

D/A převodník používá přímý kód, hodnota 0000_H představuje napětí -10 V, hodnota FFF0_H představuje napětí +10 V a hodnota 8000_H představuje nulové napětí na výstupu.

Data z registru jsou po zapsání horních osmi bitů zpracována lineární interpolací provádějící kalibraci na pracovní rozsah ±10 V a následně zapsána do 12bitového D/A převodníku. Při zápisu dolních osmi bitů jsou data jen uložena do registru (tzn. zápis nevyvolá žádný datový přenos).

Obsah registru může být modifikován i při spuštěném generování; je-li výstup nastaven na softwarové řízení, hodnota se projeví synchronně s první změnou hodnoty druhého generovaného signálu. Jsou-li oba analogové výstupy v režimu softwarového řízení, projeví se zápis do registru na analogovém výstupu ihned.

DAC1Reg (datový registr analogového výstupu 1)

Definuje hodnotu DAC1 v režimu softwarového řízení, význam je analogický předešlému.

DINReg (datový registr digitálních vstupů)

Nejnižší bit registru zpřístupňuje stav digitálního výstupního signálu.

TimerScanReg (dělička pro taktování měření)

Definuje frekvenci signálu, který každým pulzem přenesení naměřená data z vybraných analogových vstupů do zásobníku.

Dělička 24bitová (tzn. nejvyšší byte je nevýznamný) a vychází z oscilátoru 120 MHz (tzn. nejnižší povolená hodnota 600 definuje vzorkovací frekvenci měření 200 kHz).

Poznámka: Firmware porovnává zapisovanou hodnotu s limitní hodnotou 600; v případě pokusu o zápis hodnoty nižší než limitní jsou data nahrazena hodnotou 600 (odpovídá vzorkovací frekvenci 200 kHz).

Obsah registru nesmí být modifikován při spuštěném měření.

ADCCfgReg (povolení přenosu dat analogových vstupů do zásobníku)

Registr slouží k povolení přenosu dat vybraných A/D převodníků do zásobníku.

Každý bit slouží k povolení jednoho z osmi kanálů (bit D0 povoluje kanál AIN0, bit D7 povoluje AIN7); je-li odpovídající bit nastaven na 1, data analogového kanálu jsou ukládána do zásobníku.

Data vybraných kanálů jsou ukládána v pořadí nejnižším počínaje (tzn. AIN0, AIN1, ..., AIN7); např. nastavení 01001100_B do zásobníku ukládá měřicí sekvenci složenou z kanálů AIN2, AIN3 a AIN6 v tomto pořadí a vždy nižším byte počínaje.

A/D převodníky používají přímý kód, hodnota 0000_H představuje napětí -10 V, hodnota FFFF_H představuje napětí +10 V a hodnota 8000_H představuje nulové napětí na výstupu.

Všechny analogové vstupy jsou vzorkovány zcela synchronně a výstupní data 14bitových A/D převodníků zpracována volitelně průměrováním z více vzorků a lineární interpolací provádějící kalibraci na pracovní rozsah ±10 V.

Poznámka: V případě nestandardní verze firmware FPGA je jako poslední krok vložena hodnota odpovídající aktuálnímu stavu DIN do bitu D0 dat analogových vstupů.

Obsah registru nesmí být modifikován při spuštěném měření

ADCOVerSmplReg (konfigurace průměrování více hodnot ADC)

Aktivuje průměrování více hodnot ADC (tzn. ADC je spuštěn vícenásobně bezprostředně za sebou) a jednotlivé výsledky zprůměrovány. Nastavení je společné pro všechny kanály.

Hodnota v registru je platná v rozsahu 0÷8 a představuje počet průměrování v rozsahu 2⁰ až 2⁸.

Doba měření je úměrná stupni průměrování, jedno měření vyžaduje dobu nepatrně kratší než 6,5 μs (tzn. je-li hodnotou 2 nastaveno průměrování čtyř výsledků, doba měření je kratší než 26 μs a maximální vzorkovací frekvence je 38,4 kHz).

Poznámka: Při průměrování není záměrně použita nejkratší možná doba převodu 5 μs z důvodu drobnému zhoršení přesnosti měření při nejkratší době měření.

Při průměrování není testováno, zda zvolená frekvence nepřekračuje mezní možnou frekvenci definovanou jako převrácená hodnota doby měření; pokud je při průměrování čtyř výsledků zvolena vzorkovací frekvence vyšší než 38,4 kHz (tzn. frekvence 1000000/26), dojde k ignorování některých startovacích pulzů (např. pro nastavenou frekvenci 50 kHz dojde ke ztrátě každého druhého startovacího pulzu a měření bude fakticky probíhat frekvencí 25 kHz); tento stav je signalizován ve stavovém registru *StatusReg*, bit D5.

Obsah registru nesmí být modifikován při spuštěném měření.

TimerGenReg (dělička pro taktování generování)

Definuje frekvenci signálu, který každým pulzem přenese data ze zásobníku na D/A převodníky, resp. digitální výstupy.

Dělička 22bitová (tzn. nevyšších 10 bitů je nevýznamných) a vychází z oscilátoru 120 MHz (tzn. nejnižší povolená hodnota 120 definuje vzorkovací frekvenci generování 1000 kHz).

Poznámka: Firmware porovnává zapisovanou hodnotu s limitní hodnotou 80; v případě pokusu o zápis hodnoty nižší než limitní jsou data nahrazena hodnotou 80 (odpovídá vzorkovací frekvenci 1,5 MHz).

Při nastavení vzorkovací frekvence vyšší než 1 MHz může dojít k problémům s přenosem dat vlivem nedostatečné propustnosti USB rozhraní (platí zejména pro režim generování dvou analogových signálů).

Není-li v okamžik pulzu v zásobníku k dispozici dostatečné množství dat, nedojde k žádnému přenosu a je nastaven příznak podtečení. Jakmile se následně v zásobníku objeví dostatek dat, jsou znovu přenášena na výstupy.

Obsah registru nesmí být modifikován při spuštěném generování.

Poznámka: Z uvedeného popisu je patrné, že rozhodnutí o případném ukončení generování má na starosti program, modul sám podtečení jen signalizuje. Naopak však při přetečení zásobníku měření je (kromě nastavení příznaku) vždy ukončeno měření.

GenCfgReg (povolení přenosu dat ze zásobníku na analogové a digitální výstupy)

Tento dvoubitový registr (významné pouze D1..D0) slouží ke konfiguraci generovací sekvence.

Režimy generování konfigurovatelné registrem GenCfgReg				
režim	délka bloku	řazení dat		směrování
0	1 byte	1. byte	$D_7 \dots D_0$	rezervováno pro generování signálů pomocí osmi DOUT
1	2 byte	1. byte 2. byte	$A_{03} \dots A_{00} \quad D_3 \dots D_0$ $A_{11} \dots A_{04}$	DAC0 je nastaven v režimu automatického řízení, DAC1 v režimu softwarového řízení každým taktem generátoru jsou ze zásobníku přeneseny 2 byte a směrovány na analogový výstup DAC0 (bity $A_{11} \dots A_{00}$) a zbývající čtyři bity jsou rezervovány pro generování signálů pomocí čtyř DOUT
2	2 byte	1. byte 2. byte	$B_{03} \dots B_{00} \quad D_3 \dots D_0$ $B_{11} \dots B_{04}$	DAC1 je nastaven v režimu automatického řízení, DAC0 v režimu softwarového řízení každým taktem generátoru jsou ze zásobníku přeneseny 2 byte a směrovány na analogový výstup DAC1 (bity $B_{11} \dots B_{00}$) a zbývající čtyři bity jsou rezervovány pro generování signálů pomocí čtyř DOUT
3	4 byte	1. byte 2. byte 3. byte 4. byte	$A_{03} \dots A_{00} \quad D_3 \dots D_0$ $A_{11} \dots A_{04}$ $B_{03} \dots B_{00} \quad D_7 \dots D_4$ $B_{11} \dots B_{04}$	DAC0 i DAC1 jsou nastaveny v režimu automatického řízení každým taktem generátoru jsou ze zásobníku přeneseny 4 byte a směrovány na oba analogové výstupy (DAC0 bity $A_{11} \dots A_{00}$, resp. DAC1 bity $B_{11} \dots B_{00}$) a zbývající dvě čtveřice bitů jsou rezervovány pro generování signálů pomocí osmi DOUT

Vzhledem k charakteru zásobníku typu FIFO je byte označený jako první (tzn. první načtený ze zásobníku) také první zapisován programem do přístroje.

V režimech 1 a 2 jsou (vzhledem k použití 12bitových D/A převodníků) nevyužité čtveřice bity rezervovány pro digitální výstupy, funkce proto není u modulů UDAQ-3428/3429 implementována.

CWReg (hlavní řídicí registr pro start/stop měření a generování, volbu režimu atd.)

Zatímco ostatní registry slouží ke konfiguraci měření a generování, **CWReg** registrem je programu zpřístupněno kompletní řízení procesů měření i generování.

Registr je dělen na dvojici čtyřbitových hodnot ovládajících samostatně měření (D3÷D0, nazýváno SCAN_MODE) a generování (D7÷D4, nazýváno GENER_MODE), sloučením do jednoho registru je však možné ovládat oba procesy zcela synchronně.

Režimy měření konfigurovatelné registrem CWReg (bity D3÷D0)		
SCAN_MODE	název	význam a funkce
0000	ScanOff	modul neměří, zásobník měření je nulován
0001	ScanSwStd	softwarové spuštění scanovací sekvence s přenosem do SWFIFO (měření ADC je spuštěno až požadavkem o start, přenos dat do SWFIFO čeká na dokončení měření)
0101	ScanSwHS	kontinuální běh scanovací sekvence se softwarovým přenosem do SWFIFO (měření ADC je spuštěno trvale, poslední naměřená data ukládána ve vyhrazené vyrovnávací paměti a do SWFIFO se pak přenesou téměř okamžitě požadavkem o SW měření)
0010	ScanTim	startování scanovací sekvence časovačem (+ souběžně možnost přenosu do SWFIFO jako v režimu ScanSwHS)
0011	ScanExt	startování scanovací sekvence externím digitálním signálem (+ souběžně možnost přenosu do SWFIFO jako v režimu ScanSwHS)

Program může měnit SCAN_MODE z nulového stavu na nenulový a zpět, nemůže ale přecházet mezi dvěma nenulovými stavy (tzn. přepínat režimy měření bez předchozího zastavení).

Režimy generování konfigurovatelné registrem CWReg (bity D7÷D4)		
GENER_MODE	název	význam a funkce
0000	GenOff	modul negeneruje, zásobník měření je nulován, periferie jsou řízeny registry
0010	GenStreamTim	startování GEN sekvence časovačem v režimu "stream"
0011	GenStreamExt	startování GEN sekvence externím digitálním signálem v režimu "stream"
0110	GenCircTim	startování GEN sekvence časovačem v režimu "circular buffer"
0111	GenCircExt	startování GEN sekvence externím digitálním signálem v režimu "circular buffer"
1111	GenBuffer	zásobník generování je plněn daty z B kanálu, ale modul negeneruje

Program může měnit GENER_MODE výhradně v pořadí ze stavu 0000 na stav 1111, pak na kterýkoliv další nenulový a pak zpět na 0000, tzn. nemůže přecházet mezi dvěma funkčními generovacími režimy bez předchozího zastavení. Povoleno je i přechod z 1111 zpět na 0000, tedy přerušovaný start generování.

Upozornění: Aktuální verze firmware nepodporuje režim ScanExt.

Upozornění: Aktuální verze firmware nepodporuje režimy GenStreamExt, GenCircTim a GenCircExt.

Upozornění: Pokus o zápis neplatných dat FPGA ignoruje.

Neplatnými daty se rozumí chyba v jedné nebo druhé čtveřici bitů (popř. obou čtveřicích současně) a v takovém případě je vždy blokován zápis celého byte, nejen chybné čtveřice bitů.

Popis jednotlivých typů měření a použitých zásobníků dat

Modul obsahuje dva zásobníky pro naměřená data. Prvním je hlavní zásobník určený pro souvislý přenos dat kanálem B, v tomto případě registry ovládají proces měření, ale vlastní přenos dat je řešen autonomně obvody modulu, resp. spuštěným procesem na straně počítače. Druhý zásobník označený SWFIFO slouží k načtení aktuálních hodnot na pokyn z počítače kanálem A (tzn. jednorázové měření na softwarový pokyn). Softwarové měření je k dispozici ve všech režimech a může fungovat souběžně s přenosem kanálem B.

Modul nabízí dva režimy pro čistě softwarové měření; v prvním proběhne vlastní měření na povel (tzn. je potřeba vyčkat na odměření signálů a naplnění SWFIFO zásobníku daty), v druhém probíhá měření signálů periodicky na pozadí a povel pro start měření jen přenesou poslední naměřená data do SWFIFO zásobníku (čekání je tedy velmi krátké). V obou případech je obsah SWFIFO nulován při povelu zahajujícím měření, zásobník proto obsahuje vždy jen aktuální data.

V případě režimů spuštěných časovačem nebo externím signálem s přenosy B kanálem probíhá softwarové měření analogicky druhému ze softwarových režimů.

Popis jednotlivých typů generování

Při generování lze uvažovat dva základní režimy, generování s průběžným doplňováním dat a generování s cyklickým přenosem dat ze zásobníku modulu.

V prvním případě program aktivuje režim **GenBuffer**, zapíše do modulu dostatečné množství dat pro počáteční spuštění (může naplnit i celý zásobník modulu) a následně spustí generování režimem **GenStreamTim** nebo **GenStreamExt**. Od okamžiku spuštění generování pak program musí doplňovat data tak, aby nedošlo k úplnému vyprázdnění zásobníku.

V druhém případě program aktivuje režim **GenBuffer**, zapíše do modulu celé množství dat určené pro cyklické měření a následně spustí generování režimem **GenCircTim** nebo **GenCircExt**. Od okamžiku spuštění generování modul autonomně generuje a program již nemůže zapsaná data nijak doplňovat nebo modifikovat; režim se tedy hodí výhradně pro generování periodických jevů.

Poznámka: Aktuální verze firmware nepodporuje režimy *GenStreamExt*, *GenCircTim* a *GenCircExt*.

Jelikož lze analogové výstupy nevyužité pro generování ovládat přímo registry, moduly neobsahují žádný speciální softwarový režim generování.

StatusReg (signalizuje přetečení nebo podtečení zásobníků, start v průběhu sekvence)

Registr s chybovými příznaky měření/generování (možnost selektivního nulování příznaků, viz *StatusClrReg*).

- | | |
|----|--|
| D1 | WARNING (úroveň 1 signalizuje pokus o start měřicí sekvence v době, kdy ještě probíhala předešlá) |
| D3 | ERROR (úroveň 1 signalizuje přetečení zásobníku naměřených dat; měření se zastaví) |
| D5 | WARNING (úroveň 1 signalizuje pokus o start generovací sekvence v době, kdy ještě probíhala předešlá) |
| D6 | WARNING (úroveň 1 signalizuje podtečení zásobníku generování; generování pokračuje dál) |
| D7 | ERROR (úroveň 1 signalizuje chybu příchozích dat pro generování; čtení dat z počítače je ukončeno, generování je ukončeno až po vyprázdnění zásobníku) |

StatusClrReg (nulování příznaků ve StatusReg)

Zápisem hodnoty 1 na zvoleném bitu se nuluje odpovídající příznak ve StatusReg. Následný zápis 0 není potřeba.

SWFIFOTrigReg (inicializuje softwarové měření a přenos dat SWFIFO)

Zápis jakýchkoliv dat...

- vynuluje aktuální obsah SWFIFO
- spustí měřicí sekvenci (v režimu SCAN_MODE = 0001)
- přenese poslední naměřená data do SWFIFO (ve všech podporovaných režimech SCAN_MODE různých od 0)

SWFIFOStatusReg (definuje aktuální zaplnění SWFIFO)

Registr předává informaci o zaplnění SWFIFO daty (tzn. počet byte v SWFIFO v rozsahu 0+255).

SWFIFODataReg (pro čtení dat ze SWFIFO)

Registr zpřístupňuje obsah SWFIFO; každým čtením se dekrementuje registr *SWFIFOStatusReg*.

4. Příklady softwarové obsluhy

4.1 Úvod

Dále uvedené odstavce jsou věnovány popisu softwarové obsluhy nejběžnějších úloh.

Upozornění: V dalším popisu se uvažuje stav po provedení UP4 příkazu *Start firmware*, viz samostatný popis v dokumentu "UDAQ moduly druhé generace, společné vlastnosti".

4.2 Úvodní inicializace po otevření spojení s modulem

Po otevření spojení s modulem by měl program ukončit běh procesů, které mohly zůstat spuštěné od předešlého programu; v případě UDAQ-3428/3429 jde v podstatě jen o zápis *CWReg=0* a případně smazání příznaků pomocí registru *StatusClrReg*.

4.3 Jednorázový přístup k digitálnímu vstupu

Pro softwarovou obsluhu digitálního vstupu postačuje číst registr *DINReg*.

4.4 Jednorázový přístup k výstupům

Pro softwarovou obsluhu výstupů je potřeba zajistit, že výstupy nejsou konfigurovány pro automatické generování, případně jiný režim, který znemožňuje přímý přístup. V případě UDAQ-3428/3429 jde v podstatě jen o nastavení pomocí registru *GenCfgReg*.

Následně již může program přímo ovládat digitální výstupy (registr *DOReg*) a analogové výstupy (registry *DAC0Reg* a *DAC1Reg*).

4.5 Obsluha měření

Z pohledu obsluhy měření je potřeba oddělit režim softwarového měření (*SCAN_MODE* = 0001 a *SCAN_MODE* = 0101), kde data nejsou přenášena kanálem B, a ostatní režimy využívající kanál B.

V obou případech je potřeba nejprve nakonfigurovat měření; v případě UDAQ-3428/3429 jde v podstatě jen o zápis *ADCCfgReg* a *ADCOVerSmplReg*, případně ještě *TimerScanReg*.

Následně v případě režimů využívajících kanál B je potřeba aktivovat na straně počítače proces přijímající data z modulu.

V třetím kroku je potřeba spustit měření pomocí registru *CWReg*; od tohoto okamžiku je v případě režimů využívajících kanál B zahájen přenos dat.

Ve všech režimech lze využívat softwarové měření, tedy jednorázový přenos dat kanálem A; sekvence vyžaduje zápis do registru *SWFIFOTrigReg*, následně vyčkat na naplnění SWFIFO daty (UP4 protokol umožňuje vložit zpoždění 1 ms), přečíst obsah *SWFIFOStatusReg* a nakonec opakovaně číst registr *SWFIFODataReg* (počet čtení odpovídá délce dat podle nakonfigurované měřicí sekvence). Celou sekvenci lze realizovat jediným UP4 příkazem; odpověď pak obsahuje pro kontrolu stav zaplnění SWFIFO a následně všechna data SWFIFO.

Pro ukončení měření postačuje nastavit *CWReg*, resp. *SCAN_MODE* na hodnotu 0 a případně smazat nastavené příznaky pomocí registru *StatusClrReg*. Na straně počítače pak ukončit proces přijímající data z modulu.

Poznámka: Měření může být konfigurováno, spouštěno a zastavováno nezávisle na generování.

4.6 Obsluha generování

Obsluhu generování lze rozdělit do tří kroků; v prvním kroku je potřeba nakonfigurovat, které periferie mají být použity pro generování a nastavit parametry generování, v druhém kroku je potřeba naplnit zásobník modulu dostatečným množstvím dat a v třetím kroku pak spustit generování a případně doplňovat další data (není-li zvolen cyklický režim).

V prvním kroku je tedy potřeba nejprve nakonfigurovat periferie (tzn. registr *GenCfgReg*) a případně ještě nastavit frekvenci generování pomocí *TimerScanReg*.

V druhém kroku je potřeba zvolit režim *GEN_MODE* = 1111, následně aktivovat na straně počítače proces vysílající data do modulu a zaplnit zásobník modulu dostatečným množstvím dat pro počáteční spuštění (program může naplnit i celý zásobník modulu). V případě cyklického generování je potřeba přenést do modulu všechna data.

Ve třetím kroku je zvolen potřebný režim *GEN_MODE* a v závislosti na režimu doplňovat data do zásobníku.

Pro ukončení generování postačuje nastavit *CWReg*, resp. *GEN_MODE* na hodnotu 0 a případně smazat nastavené příznaky pomocí registru *StatusClrReg*. Na straně počítače pak ukončit proces vysílající data do modulu.

Poznámka: Generování může být konfigurováno, spouštěno a zastavováno nezávisle na měření.